

ПЛИС

ПЛИС, англ. *programmable logic device, PLD*) — электронный компонент (интегральная микросхема), используемый для создания конфигурируемых цифровых электронных схем.

В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования (проектирования). Для программирования используются программатор и IDE (отладочная среда), позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры (Verilog, VHDL, AHDL и других). Альтернативой ПЛИС являются:

Альтернативой ПЛИС являются:

- БМК — базовые матричные кристаллы, требующие заводского производственного процесса для программирования;
- ASIC — специализированные заказные большие интегральные схемы (БИС), которые при малосерийном и единичном производстве существенно дороже;
- специализированные компьютеры, процессоры (на пример, цифровой сигнальный процессор)
- микроконтроллеры, которые из-за программного способа реализации алгоритмов в работе медленнее ПЛИС;

ASIC (СНК)-заказные БИС

- **ASIC** ([аббревиатура](#) от [англ. application-specific integrated circuit](#), «интегральная схема для конкретного применения») — [интегральная схема](#), специализированная для решения конкретной задачи. В отличие от обычных интегральных схем для общего назначения, специализированные интегральные схемы применяются в конкретном устройстве и выполняют строго ограниченные функции, характерные только для данного устройства; вследствие этого выполнение функций происходит более эффективно и, в конечном счёте, дешевле. Примером ASIC может являться микросхема, разработанная исключительно для управления радиоканалом [мобильного телефона](#), микросхемы аппаратного кодирования/декодирования аудио- и видеосигналов ([сигнальные процессоры](#)).
- Микросхема ASIC имеет узкий круг применения, обусловленный жёстко предопределённым набором её функций.
- Современные ASIC часто содержат [32-битный](#) или даже 64-битный [процессор](#), иногда — в количестве нескольких ядер, блоки памяти (как [ПЗУ](#), так и [ОЗУ](#)) и другие крупные блоки. Такие ASIC часто называют [однокристалльной системой](#).
- При разработке [цифровых](#) ASIC для описания их функциональности используют [языки описания аппаратных устройств \(HDL\)](#), такие как [Verilog](#) и [VHDL](#).
- Проектирование похоже на ПЛИС, но после изготовления изменить структуру ASIC НЕЛЬЗЯ (если нет структурных элементов ПЛИС)

Виды ПЛИС

Ранние основы для ПЛИС

- PLA В [1970 году](#) компания «[Texas Instruments](#)» (далее «TI») разработала масочные (то есть, программируемые с помощью маски, [англ. mask-programmable](#)) [интегральные схемы](#) (далее ИС), основанные на [ассоциативном ПЗУ](#) (ROAM) фирмы «[IBM](#)». Эта микросхема называлась TMS2000 и программировалась чередованием металлических слоёв в процессе производства [ИС](#). TMS2000 имела до 17-и входов и 18 выходов с 8-ю [JK-триггерами](#) в качестве памяти. Для этих устройств компания «TI» ввела термин PLA — [англ. programmable logic array](#) — программируемая логическая матрица.
- **PAL** ([англ. programmable array logic](#)) — программируемый массив (матрица) логики. В [СССР](#) PLA и PLM не различались и обозначились как ПЛМ ([программируемая логическая матрица](#)). Разница между PLA и PLM состоит в доступности программирования внутренней структуры (матриц).
- **GAL** ([англ. generic array logic](#)) — это ПЛИС, имеющие программируемую матрицу «И» и фиксированную матрицу «ИЛИ».

СОВРЕМЕННЫЕ ПЛИС (PLD):

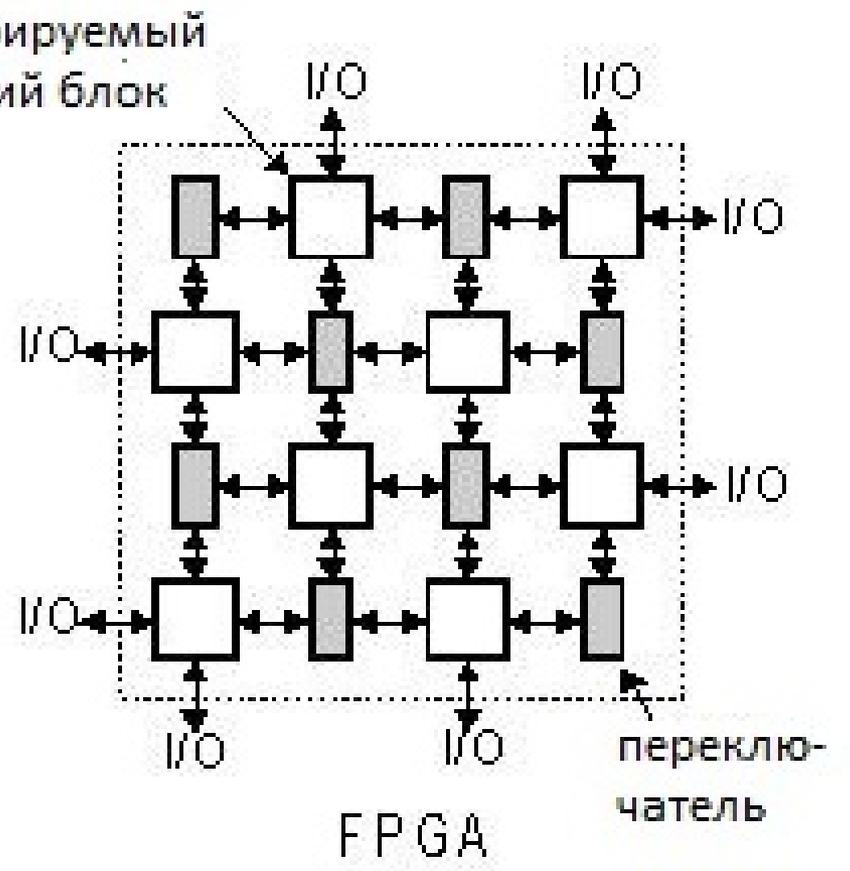
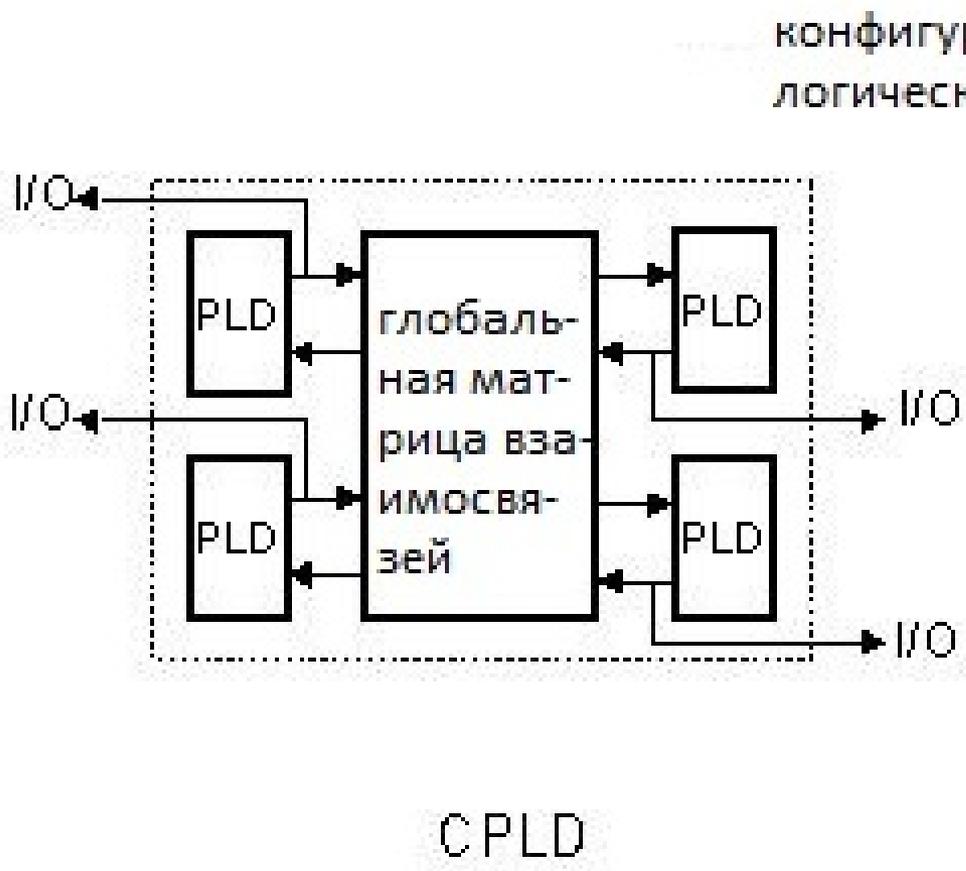
- **CPLD** ([англ. complex programmable logic device](#) — сложные программируемые логические устройства) содержат относительно крупные программируемые логические блоки — [макроячейки](#), соединённые с внешними выводами и внутренними шинами. Функциональность CPLD кодируется в [энергонезависимой памяти](#), (как правило входит в состав ПЛИС) поэтому нет необходимости их перепрограммировать при включении. Может применяться для расширения числа входов/выходов рядом с большими кристаллами, или для предобработки сигналов (например, контроллер [COM-порта](#), [USB](#), [VGA](#)).
- **FPGA Программируемая пользователем вентильная матрица** (ППВМ, [англ. field-programmable gate array, FPGA](#)) — [полупроводниковое устройство](#), которое может быть сконфигурировано производителем или разработчиком после изготовления; наиболее сложная по организации разновидность [программируемых логических интегральных схем](#)

FPGA

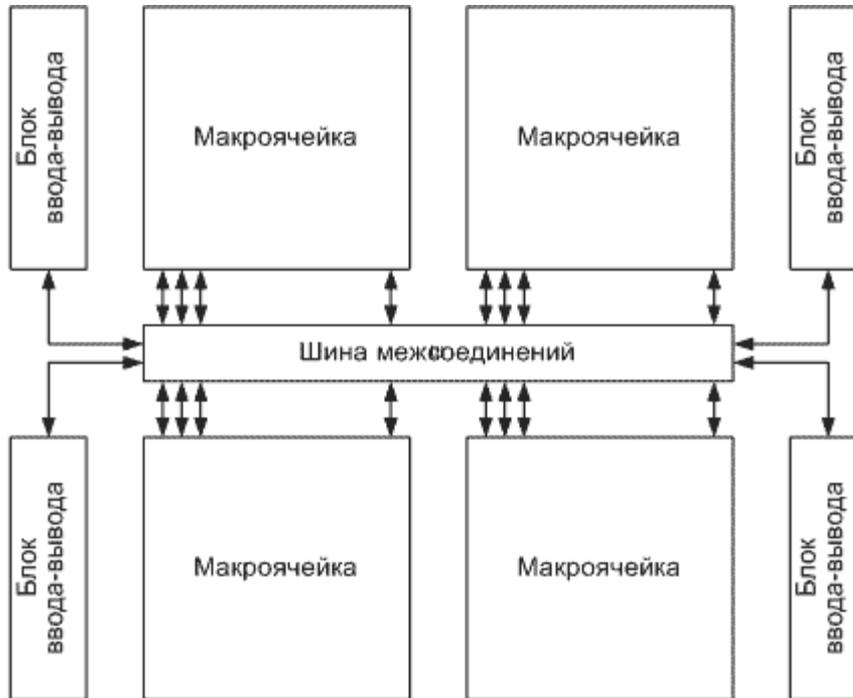
- **Программируемая пользователем вентильная матрица** (ППВМ, [англ. field-programmable gate array, FPGA](#)) — [полупроводниковое устройство](#), которое может быть сконфигурировано производителем или разработчиком после изготовления; наиболее сложная по организации разновидность [программируемых логических интегральных схем](#).
- **FPGA** содержат блоки умножения-суммирования, которые широко применяются при [обработке сигналов](#) (DSP, [англ. digital signal processing](#)), а также логические элементы (как правило, на базе таблиц перекодировки — таблиц истинности) и их блоки коммутации. FPGA обычно используются для обработки сигналов, имеют больше логических элементов и более гибкую архитектуру, чем CPLD. Программа для FPGA хранится в распределённой памяти, которая может быть выполнена как на основе энергозависимых ячеек статического ОЗУ (подобные микросхемы производят, например, фирмы «[Xilinx](#)» и «[Altera](#)») — в этом случае программа не сохраняется при исчезновении электропитания микросхемы, так и на основе энергонезависимых ячеек flash-памяти или перемычек antifuse (такие микросхемы производят фирмы «[Actel](#)» и «[Lattice Semiconductor](#)») — в этих случаях программа сохраняется при исчезновении электропитания. Если программа хранится в [энергозависимой памяти](#), то при каждом включении питания микросхемы необходимо заново конфигурировать её при помощи начального загрузчика, который может быть встроен и в саму FPGA. Альтернативой ПЛИС FPGA являются более медленные цифровые процессоры обработки сигналов. FPGA применяются также, как ускорители [универсальных процессоров](#) в суперкомпьютерах (например, компьютер «[Cray XD1](#)» компании «[Cray](#)», проект «RASC» компании «[Silicon Graphics](#)» («SGI»)).
- Прошивка как правило находится во внешнем ПЗУ и загружается в ПЛИС при включении питания

Применение FPGA

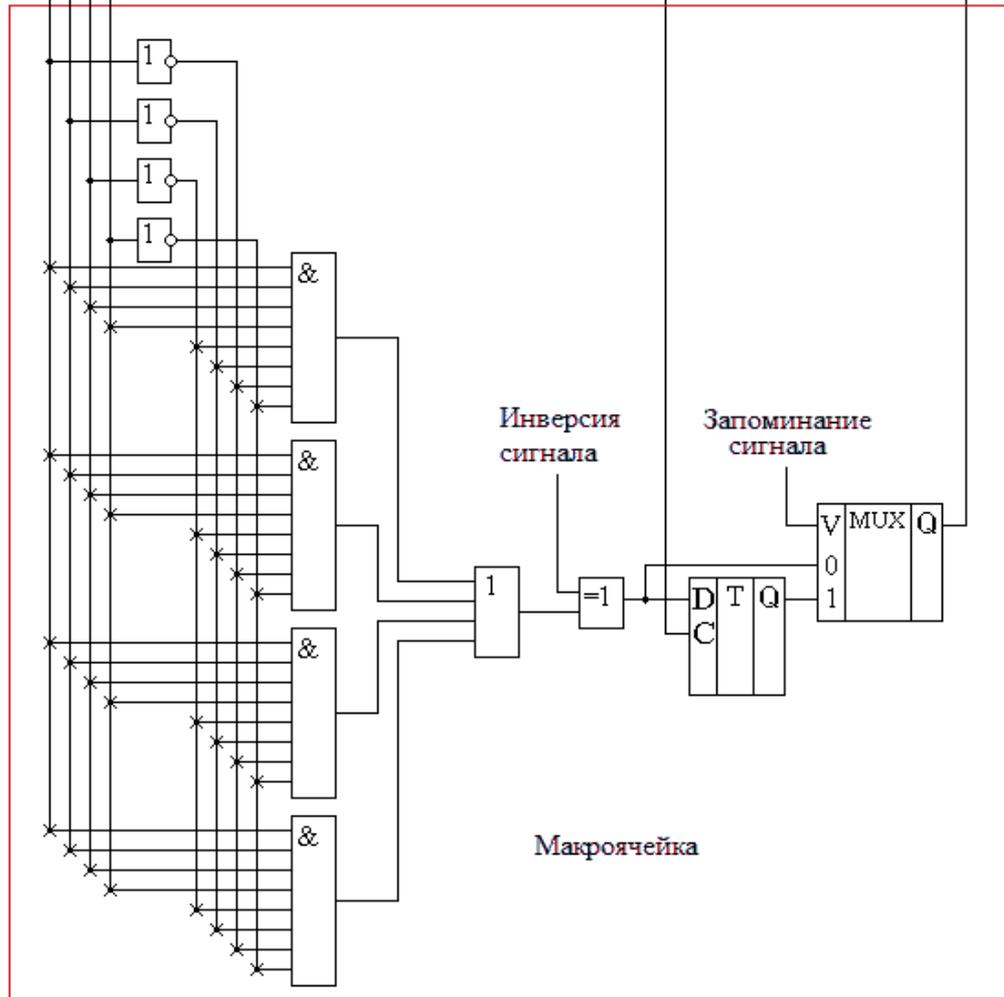
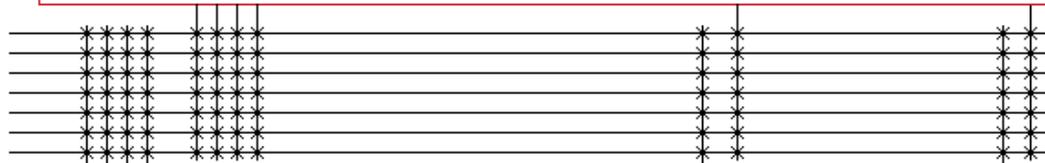
- FPGA часто используются в задачах, где некие вычисления хочется существенно ускорить, реализовав их прямо в железе. Например, FPGA нашли широкое применение в области обработки сигналов, скажем, в осциллографах, [анализаторах спектра](#), [логических анализаторах](#), [генераторах сигналов](#), Software Defined Radio и даже [некоторых мониторах](#). В частности, в [LimeSDR](#) используется Altera Cyclone IV, а в [осциллографе Rigol DS1054Z](#) стоит Xilinx Spartan-6, а также ProASIC 3 от компании Actel.



Структура CPLD



Макроячейка (внутреннее устройство не показано)

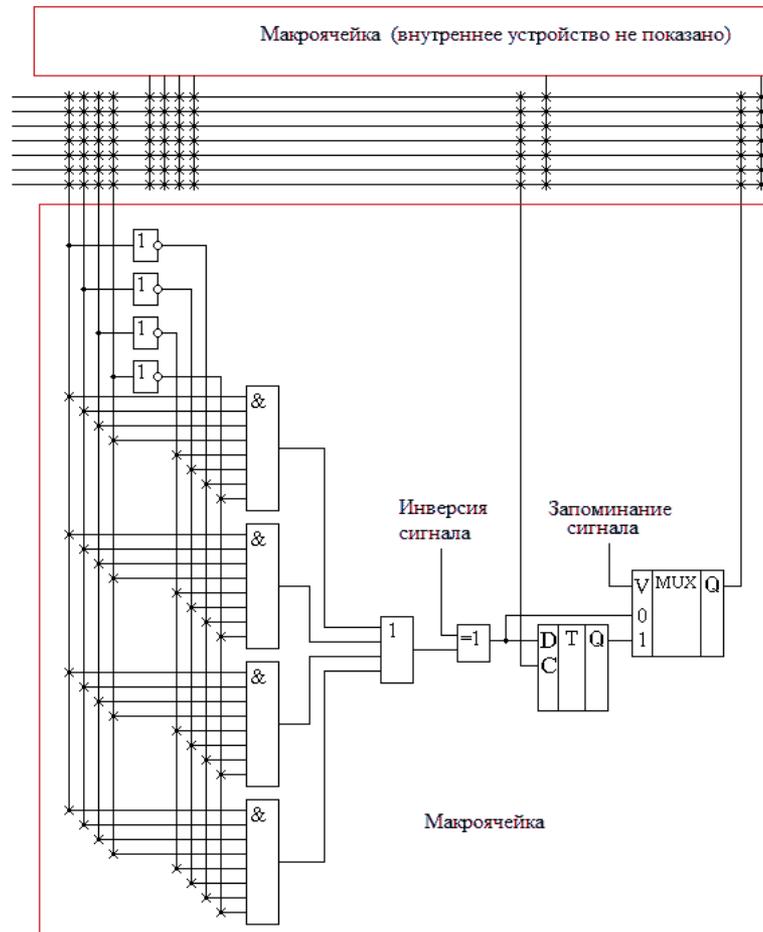


Инверсия
сигнала

Запоминание
сигнала

Макроячейка

Макроячейка CPLD

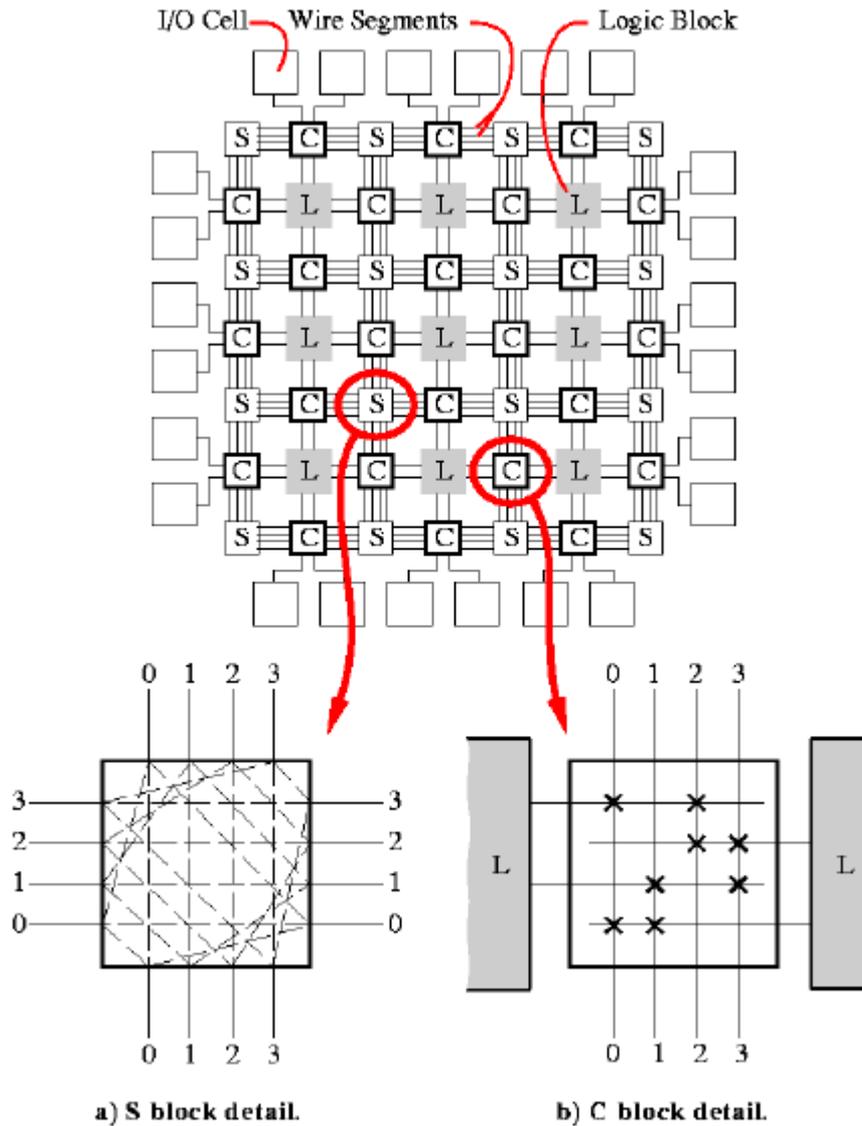


Структура FPGA

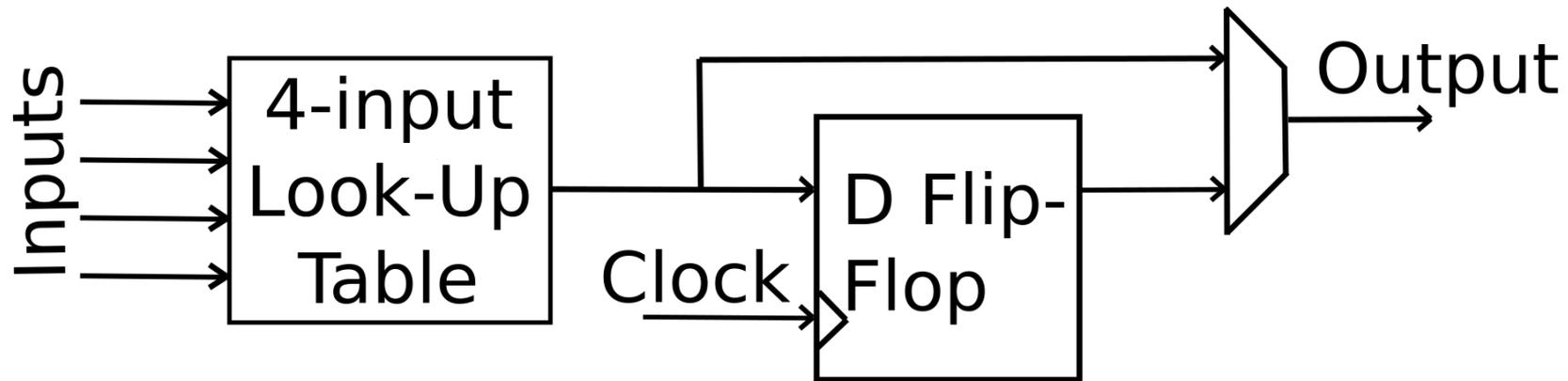
В ППВМ имеется три типа программируемых элементов:

- некоммутированные программируемые логические блоки (ПЛБ);
 - блоки ввода-вывода (БВВ);
 - внутренние связи.
-
- L – логический конфигурируемый блок;
 - S (substitution block) – блок подстановок, он получает на вход определенное число бит, преобразует, по определенному алгоритму, а на выходе выдаёт другое число бит. Другими словами – дешифратор, шифратор и коммутатор.
 - C (connection block) – блок соединений.

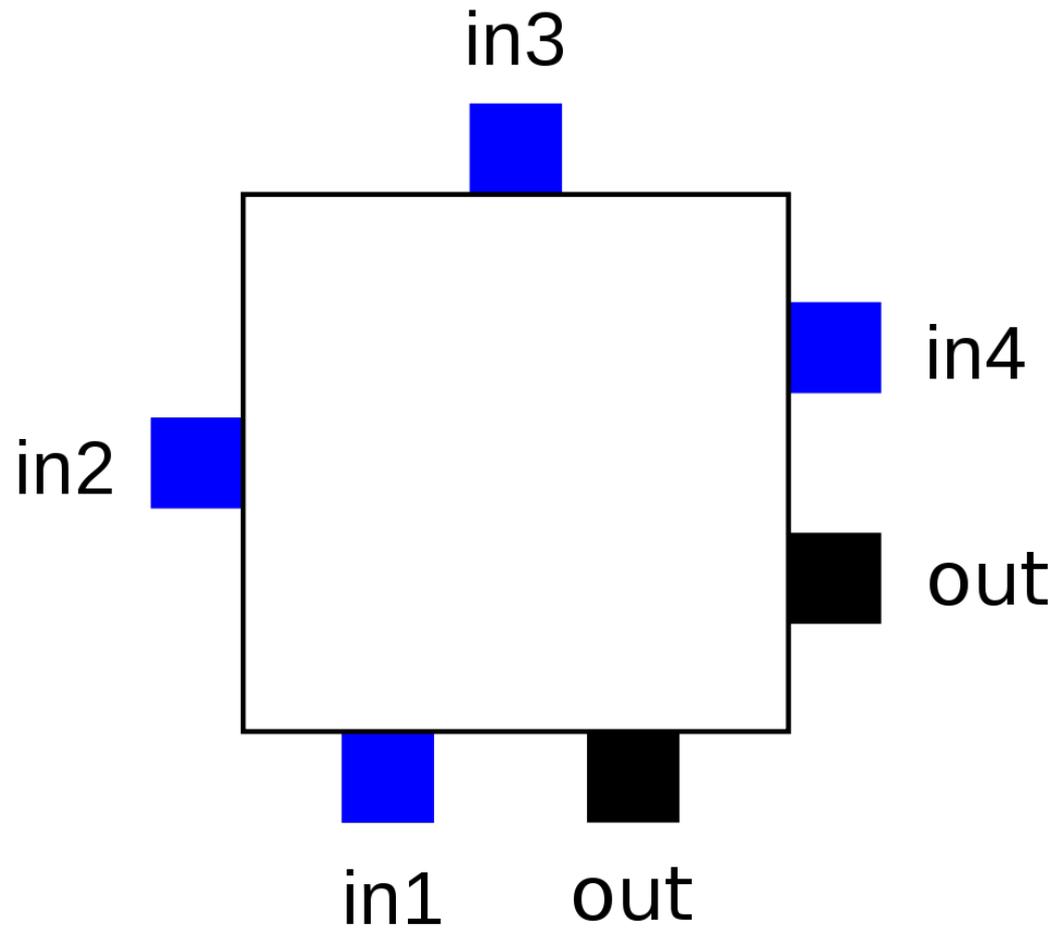
Структура FPGA



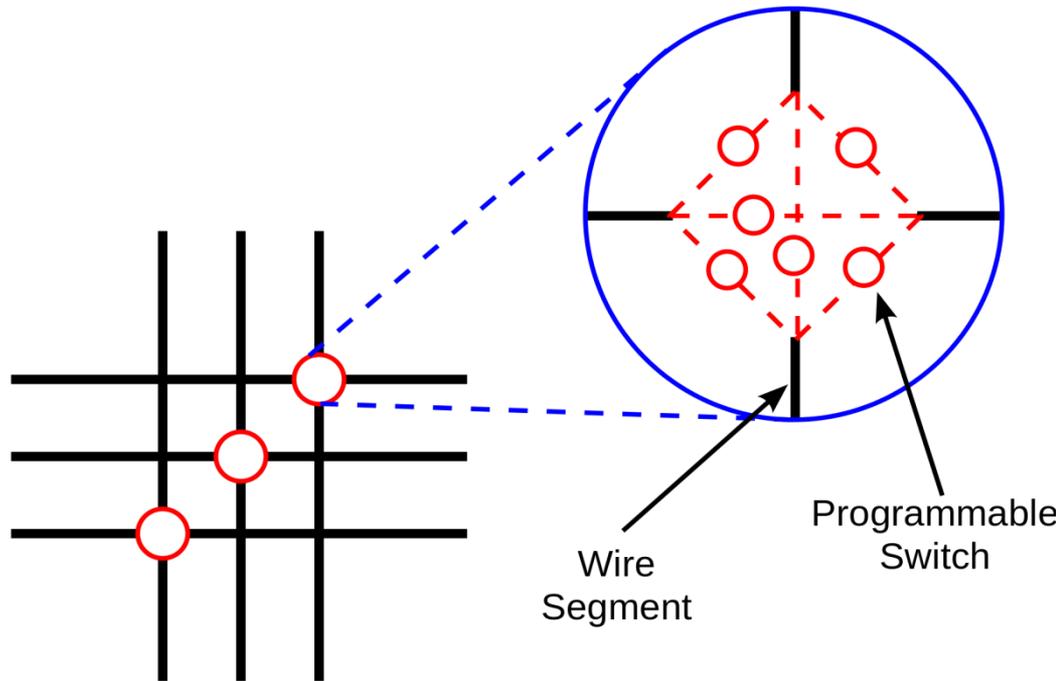
Типичный логический блок:



Расположение контактов ЛБ



Блок связи (коммутационный)



Лидеры производства ПЛИС

- Xilinx (AMD)
- Altera (Intel)
- [Actel](#)
- [Lattice Semiconductor](#)
- [Atmel](#) (Microchip)

Xilinx (AMD)

- Ранние устройства ПЛИС
 - XC2000, XC3000, XC4000, Spartan
 - XC5200 XC6200 XC8100

- Virtex, Spartan-II
- Virtex-II
- Spartan-3
- Virtex-4, Virtex-5, Virtex-6

FPGA

- Spartan-6
- Virtex 7
- UltraScale и UltraScale+
- Versal
- ПЛИС без встроенных процессоров
 - 1Artix
 - Kintex

Параметры Xilinx

Параметр	FPGA						CPLD			
	Virtex-II	Virtex-II Pro	Virtex-4	Spartan-XL	Spartan-II	Spartan-III	XC9500XL	XC9500XV	CoolRunner	CoolRunner-II
Максимальная рабочая (тактовая) частота, МГц	420	500	550	150	200	326	196	125	175	333
Напряжение питания ядра, В	2,5	1,5	1,2	3,3	1,8	1,2	3,3	2,5	3,3	1,8
Техпроцесс, нм	220	130	90	350	220	90	350	350	350	180
Максимальное количество логических ячеек	104 000	125 000	200 000	1862	5282	15 552	6400	6400	9600	16 000

ALTERA (Intel)

- У Altera есть несколько основных серий программируемой логики, **CPLD:**
 - MAX, MAX II, MAX IIZ;
 - 7000S;
 - 3000A;
 - MAX V;
- FPGA:**
- Cyclone;
 - Arria;
 - Stratix.

Параметры ALTERA

Семейство	анонс	ТП (техпроцесс), нм	Реком. к применению в новых разр.	Эквив. лог. вентилей*, тыс шт.
Stratix	2002	130	-	-
Cyclone	2002	130	+	-
Straix GX	2003	130	-	-
Stratix II	2004	90	+	15.6-179.4
Cyclone II	2004	90	+	-
Stratix II GX	2005	90	+	33.88-90.96
Stratix III	2006	65	+	47.5-338
Arria GX	2007	90	+	21.58-90.22
Cyclone III	2007	65	+	-
Stratix IV	2008	40	+	73-813
Arria II GX	2009	40	+	43-244
Cyclone IV	2009	60	+	-
Arria II GZ	2010	40	+	224-349
Stratix V	2010	28	+	236-952
Arria II GZ	2010	40	+	-
Cyclone V	2011	28	+	25-301
Arria V	2011	28	+	-
Arria 10	2013	20	+	160-1150
Stratix 10	2013	14		

Языки программирования ПЛИС

Для программирования FPGA используются языки описания аппаратуры (HDL, Hardware Description Language). Среди них наибольшей популярностью пользуются:

- [Verilog](#) (и его диалекты, в частности SystemVerilog),
- а также [VHDL](#).

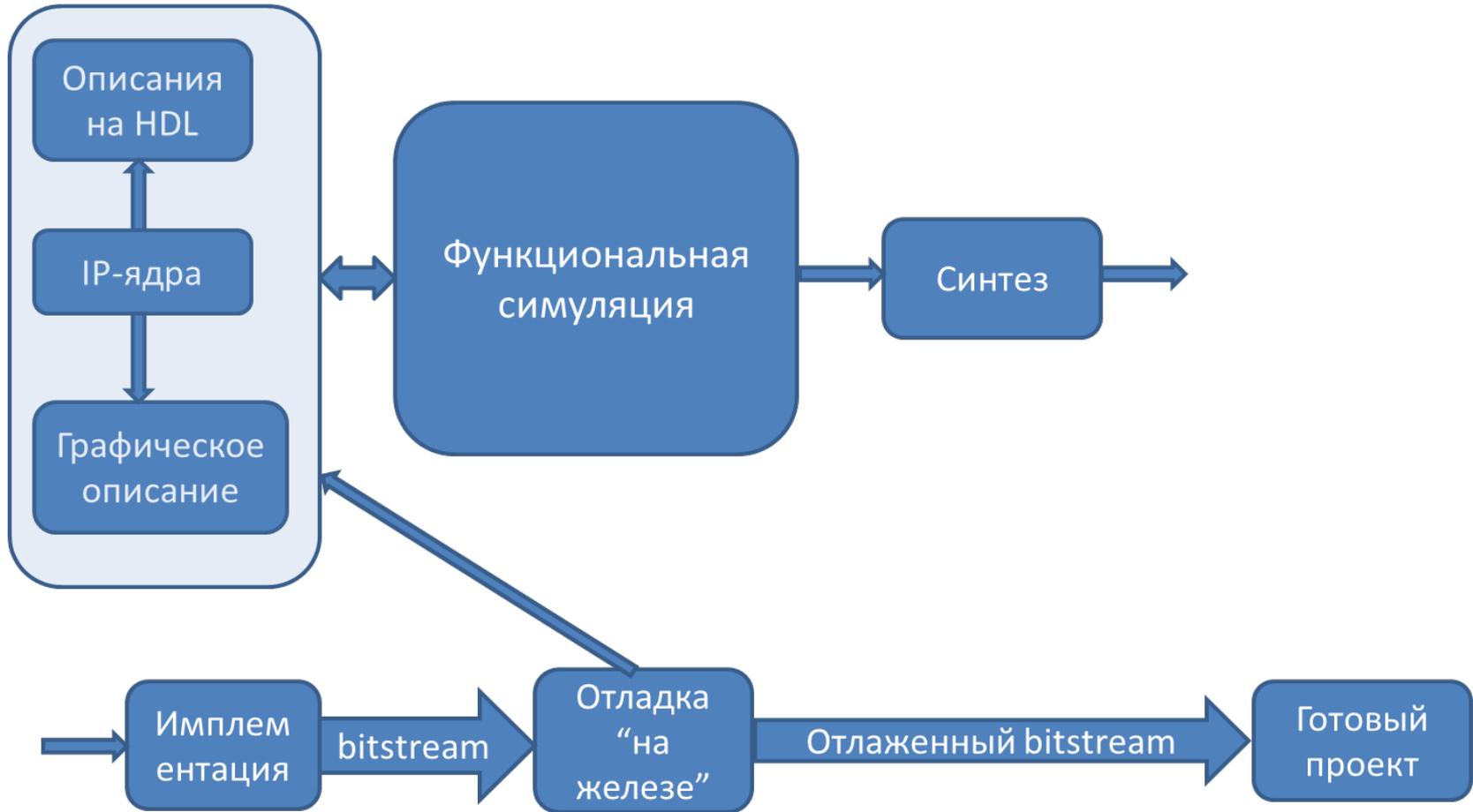
VHDL

- VHDL (разработан 1983 г.)
- ([англ. VHSIC](#) (*Very high speed integrated circuits*) **Hardware Description Language**) — [язык описания аппаратуры](#) интегральных схем. [Язык проектирования](#) VHDL является базовым языком при разработке аппаратуры современных вычислительных систем.
- Был разработан в [1983](#) г. по заказу Министерства обороны [США](#) с целью формального описания логических схем для всех этапов разработки электронных систем, начиная модулями [микросхем](#) и заканчивая крупными вычислительными системами.
- **ГОСТ Р 50754-95** Язык описания аппаратуры цифровых систем VHDL. Описание языка

Verilog

- Verilog/SystemVerilog (разработан 1984/2002 гг.)
- это [язык описания аппаратуры](#), используемый для [описания](#) и моделирования электронных систем. Verilog HDL, не следует путать с [VHDL](#) (конкурирующий язык), наиболее часто используется в проектировании, верификации и реализации (например, в виде [СБИС](#)) аналоговых, цифровых и смешанных электронных систем на различных уровнях абстракции.
- Разработчики Verilog сделали его синтаксис очень похожим на синтаксис [языка С](#), что упрощает его освоение. Verilog имеет препроцессор, очень похожий на препроцессор языка С, и основные управляющие конструкции «if», «while» также подобны одноимённым конструкциям языка С. Соглашения по форматированию вывода также очень похожи (см. [printf](#)).

Маршрут проектирования



AHDL

- проприетарный язык описания аппаратуры от Altera Corporation предназначенный для программирования выпускаемых ей ПЛИС. Язык имеет Ада-подобный синтаксис и схож с VHDL или Verilog. Он поддерживается компиляторами Quartus и Max+ от Altera.
- Недостаток AHDL в его проприетарности. Преимущество AHDL в том, что все конструкции языка синтезируемы. В сравнении с Verilog AHDL как язык ассемблера в сравнении с языком высокого уровня: в AHDL больше контроля, но меньше высокоуровневой поддержки.

СРЕДА РАЗРАБОТКИ

- Vivado для Xilinx
- Quartus для Altera
- MAX+plus II для Altera (устарела, не поддерживается)

Xilinx (AMD now)

- С железом от Xilinx можно работать только из среды разработки от Xilinx (называется Vivado)

Altera

- Среда разработки от Altera (называется Quartus) понимает только железо от Altera
- Старая САПР «MAX+plus II» представляет собой интегрированную среду для разработки цифровых устройств на базе программируемых логических интегральных схем (ПЛИС) фирмы «Альтера» и обеспечивает выполнение всех этапов, необходимых для выпуска готовых изделий:.

MAX Plus II

- **«Graphic Editor»** – графический редактор, предназначенный для ввода проекта в виде схемы соединений символов элементов, извлекаемых из стандартных библиотек пакета либо из библиотеки пользователя.
- **«Waveform Editor»** – редактор временных диаграмм (некоторые авторы называют это приложение сигнальным редактором), который выполняет двойную функцию: на этапе ввода обеспечивает ввод логики проекта в виде диаграмм (эпюр) состояний входов и выходов, а на этапе моделирования обеспечивает ввод диаграмм тестовых (эталонных) входных состояний моделируемого устройства и задание перечня тестируемых выходов.
- **«Text Editor»** – текстовый редактор, предназначенный для создания и редактирования текстовых файлов, содержащих описание логики проекта на языке описания устройств AHDL (Altera Hardware Description Language) или на близких к нему языках типа VHDL, «Verilog». Для освоения языка AHDL можно рекомендовать [1, 2], а также статьи, опубликованные в ряде номеров журнала «Чипньюс» («ChipNews») в 2000 г.
- **«Symbol Editor»** – символьный редактор, позволяющий редактировать существующие символы и создавать новые. Кстати, любой откомпилированный проект может быть свёрнут в символ, помещён в библиотеку символов и использован как элемент в любом другом проекте.
- **«Floorplan Editor»** – редактор связей (поуровневый планировщик), который на плане расположения основных логических элементов позволяет вручную распределять выводы ПЛИС (закреплять выводы за конкретными входными и выходными сигналами) и перераспределять некоторые внутренние ресурсы ПЛИС.

Приложения «MAX+plus II Compiler»

- Это приложения, входящие в пакет компилятора и предназначенные для синтеза структуры, трассировки связей, проверки корректности проекта и локализации ошибок, формирования файлов программирования или конфигурирования ПЛИС
- «**Netlist Extractor**» – приложение, обеспечивающее извлечение списка соединений из исходного файла представления проекта, созданного при вводе проекта.
- «**Database Builder**» – приложение, предназначенное для построения базы данных проекта.
- «**Logic Synthesizer**» – приложение, обеспечивающее проверку корректности проекта по формальным правилам и синтез оптимальной структуры проекта.
- «**Partitioner**» – приложение, обеспечивающее разбиение проекта на части в тех случаях, когда ресурсов одного кристалла (микросхемы) недостаточно для реализации проекта.
- «**Fitter**» – трассировщик внутренних связей, обеспечивающий реализацию синтезированной структуры.
- «**SNF Extractor**» – приложение, обеспечивающее извлечение параметров проекта, необходимых для функционального моделирования и временного анализа.

Приложения для верификации проектов

- «**Simulator**» – приложение, которое совместно с редактором временных диаграмм предназначено для функционального моделирования проекта с целью проверки правильности логики его функционирования.
- «**Timing Analyzer**» – приложение, обеспечивающее расчет временных задержек от каждого входа до каждого логически связанного с ним выхода.
«MAX+plus II Programmer»

Приложение «MAX+plus II Programmer»

- Для программирования или конфигурирования ПЛИС используется приложение «MAX+plus II Programmer».

ALTERA[®]
MAX+plus[®] II

Ссылки по MAX PlusII

- <https://kurskelectronic.ru/library/ispolzovanie-sapr-maxplus-ii-dlya-razrabotki-cifrovyyh-ustrojstv-na-plis-firmy-altera/>
- <https://fpga-systems.ru/fpga-inside-about-fpga#1.%20Типичное%20представление%20FPGA>

АО «ВЗПП-С» АО ВЗПП-Микрон»

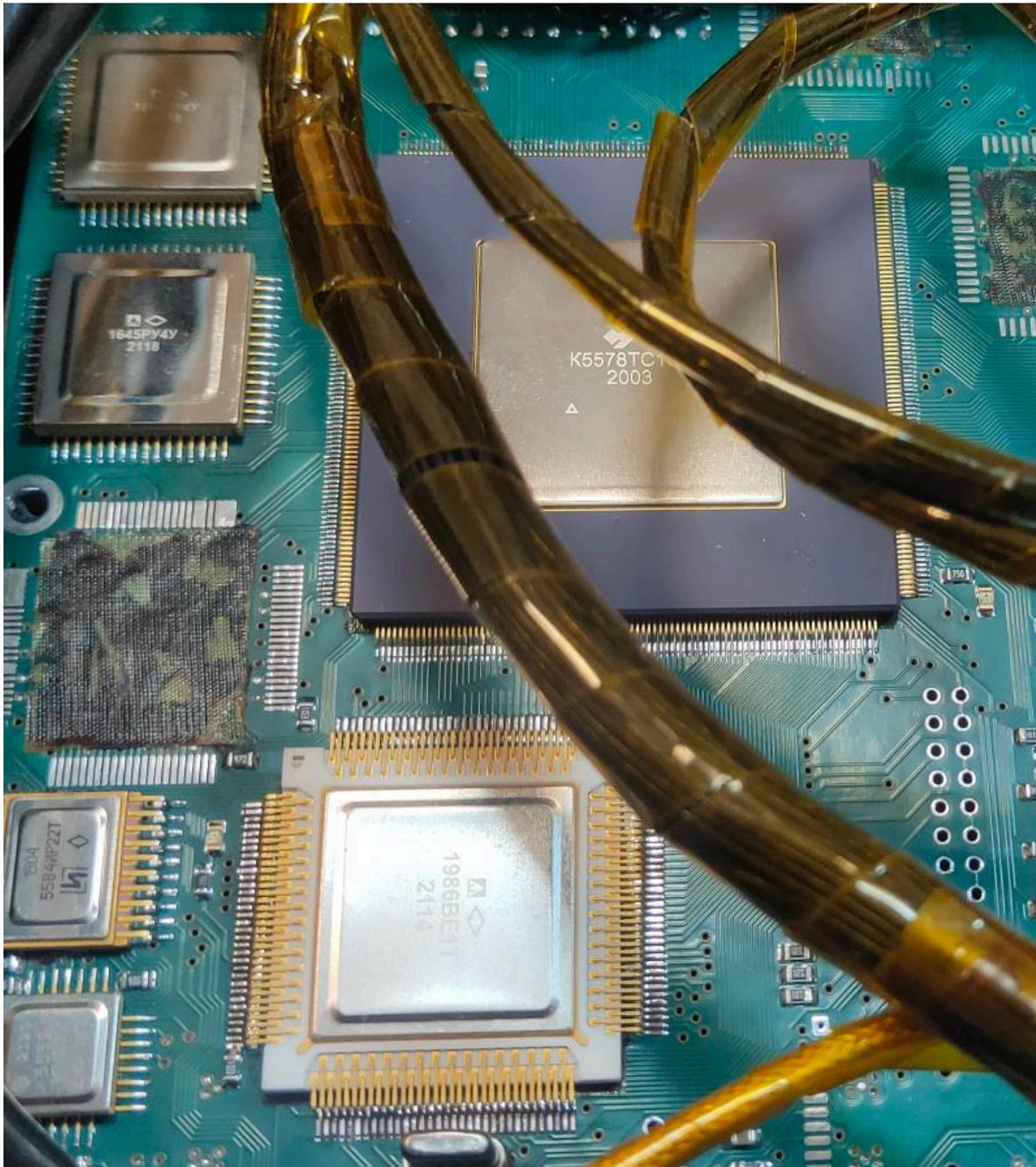
АО «Воронежский Завод Полупроводниковых Приборов-Сборка»

АО «Воронежский Завод Полупроводниковых Приборов-МИКРОН»

- 5591ТС018 ожидается в 2023. У 5591ТС018 питание ядра 1В, i/o 2.5В. DSP блоков 18x18=198шт
Память=4158кБит, IO=286
- 5576ХС4Т аналог Altera Flex10ке, на 9984 логических элемента (ЛЭ), с 24 блоками внутренней памяти (БВП, они же ЕАВ, Embedded Array Block) по 512 байт каждый. (разработка в Quartus II)
- **5576ХС6Т**: радстойкая, 2880 ЛЭ и 5 килобайт внутренней памяти, **5576ХС7Т** ещё мельче- 1728 ЛЭ
- **5578ТС064, 5578ТС084, 5578ТС094, 5578ТС104**. Это уже функциональный аналог Altera Cyclone III, произведённые по техпроцессу 90 нм. ТС064 можно заказывать в 2022 году

Российские ПЛИС

Характеристики	ПЛИС 5578ТС084	ПЛИС5578ТС094	ПЛИС 5578ТС064
Ёмкость, системных вентилей	800 000	1 200 000	3 000 000
Количество эквивалентных логических элементов	15 408	24 624	55 856
Объём встроенной памяти, Кбит	504	594	2 340
Количество умножителей 18×18, шт.	56	66	156
Количество выводов, программируемых пользователем	84	195	279
Количество блоков ФАПЧ		4	
Напряжение питания ядра, В		1,2 ±0,05	
Напряжение питания периферии, В		2,5 ±5%	



Зеленоград, АО «Миландр»

- <https://www.youtube.com/watch?v=2hcmu0HLoH4>

Отличия ПЛИС, БМК, СНК от МК и МП

- В МП и МК схема соединений логических элементов заданы при проектировании и производстве. Логика работы определяется программой.
- В ПЛИС БМК, СНК схема соединений логических элементов определяется при программировании. Логика работы определяется схемой.

Ссылки на ПЛИС (кино)

- <https://youtu.be/EugUgpD2BMk>
- Л1 <https://www.youtube.com/watch?v=4KFARUjfWN4>
- Л2 https://www.youtube.com/watch?v=OFuR_ZQVnj8
- Л3ч2 https://www.youtube.com/watch?v=Ay2r_6KvVPM
- Л4 <https://www.youtube.com/watch?v=mucbupZ9rOY>

- ПЛИС и МК(отличия) <https://www.youtube.com/watch?v=xXX-QtCkrDw>
- FPGA лучше МК <https://www.youtube.com/watch?v=omBlbhN0IFg>
- Замены Altera и XILINX <https://www.youtube.com/watch?v=u-a4yFBrbRo>
- ПЛИС из Китая <https://www.youtube.com/watch?v=HC6mCc4ShjY>