



Содержание

1	Понятие Интерфейса (Шина) и протокола.....	1
1.1	Примеры соединителей интерфейсов и шин	2
1.2	История интерфейсов.....	4
1.3	Примеры внутренних компьютерных шин	7
1.4	Примеры внешних компьютерных шин.....	7
1.5	Примеры универсальных компьютерных шин.....	8
2	МПИ=QBUS.....	8
2.1	Реализации	8
2.2	Литература	8
3	Технология (шина) HYPERTRANSPORT	9
4	FBUS	13
4.1	Северный мост	13
4.2	Южный мост	13
5	RAPIDIO.....	15

1 Понятие Интерфейса (Шина) и протокола

Интерфейс (от [англ.](#) *interface* — поверхность раздела, перегородка) — совокупность средств и методов взаимодействия между элементами системы.

Физический интерфейс Способ взаимодействия физических устройств. Чаще всего речь идёт о [компьютерных портах](#).

Порт — обычно соединение (физическое или логическое), через которое принимаются и отправляются [данные](#) в [компьютерах](#). Наиболее часто портом называют:

- [Аппаратный порт](#) — специализированный разъём в компьютере, предназначенный для подключения [оборудования](#) определённого типа. См.: [LPT-порт](#), [последовательный порт](#), [USB-порт](#).
- [Порт ввода-вывода](#) — используется в [микропроцессорах](#) (например, [Intel](#)) при [обмене данными](#) с аппаратным обеспечением. Порт ввода-вывода сопоставляется с тем или иным устройством и позволяет программам обращаться к нему для обмена данными.
- [Сетевой порт](#) — параметр [протоколов TCP](#) и [UDP](#).

В понятие **шины и физического** интерфейса включают:

- Совокупность сигнальных проводников
- Логiku передачи данных по этим проводникам
- Временные диаграммы, времена, задержки, (с указанием допусков или диапазонов)
- Электрический интерфейс- вид линии (потенциальная, дифференциальная, коаксиальная), Напряжения, нагрузочные способности, токи
- Конструктивный интерфейс Конструктивное исполнение (вид соединителя, его размеры)- например 8P8C (ошибочно называют RJ45), BNC, Dsub9, PППМ16x72,



Протокол—это [Стандарт](#), определяющий поведение [функциональных блоков](#) при [передаче данных](#), логическую последовательность данных, которыми обмениваются устройства. Протокол:

- задаётся набором правил взаимодействия функциональных блоков, [расположенных на одном уровне](#);
- описывает: синтаксис сообщения, имена элементов данных, операции управления и состояния. См. статью [Сетевой протокол](#)

Протоколы передаются по физическим интерфейсам. Протоколы бывают многоуровневыми TCP, UDP, ICMP (протокол PING-ов) передаются на основе IP протокола.

Примеры

протокол IP передаётся через интерфейс 10BASE-T Ethernet IEEE 802.3i (витая пара)

протокол IP передаётся через интерфейс 10BASE2, IEEE 802.3a (тонкий коаксиальный эзернет)

протокол IP передаётся через интерфейс [10BASE5](#) 10 Мбит/с (толстый 12мм эзернет) и так далее 100Mb, 1Gb, 10Gb, WiFi, WiMax

Компьютерная шина (от [англ.](#) *computer bus, bidirectional universal switch* — двунаправленный универсальный коммутатор) — в [архитектуре компьютера](#) подсистема, которая передаёт данные между функциональными блоками компьютера

. Обычно шина управляется [драйвером](#). В отличие от связи точка—точка, к шине можно подключить несколько устройств по одному набору проводников. Каждая шина определяет свой набор [коннекторов](#) для физического подключения устройств, карт и кабелей.

Ранние компьютерные шины представляли собой параллельные [электрические шины](#) с несколькими подключениями, но сейчас данный термин используется для любых физических механизмов, предоставляющих такую же логическую функциональность, как параллельные компьютерные шины. Современные компьютерные шины используют как параллельные, так и последовательные соединения и могут иметь параллельные (*multidrop*) и цепные (*daisy chain*) топологии. В случае [USB](#) и некоторых других шин могут также использоваться [хабы](#).

1.1 Примеры соединителей интерфейсов и шин

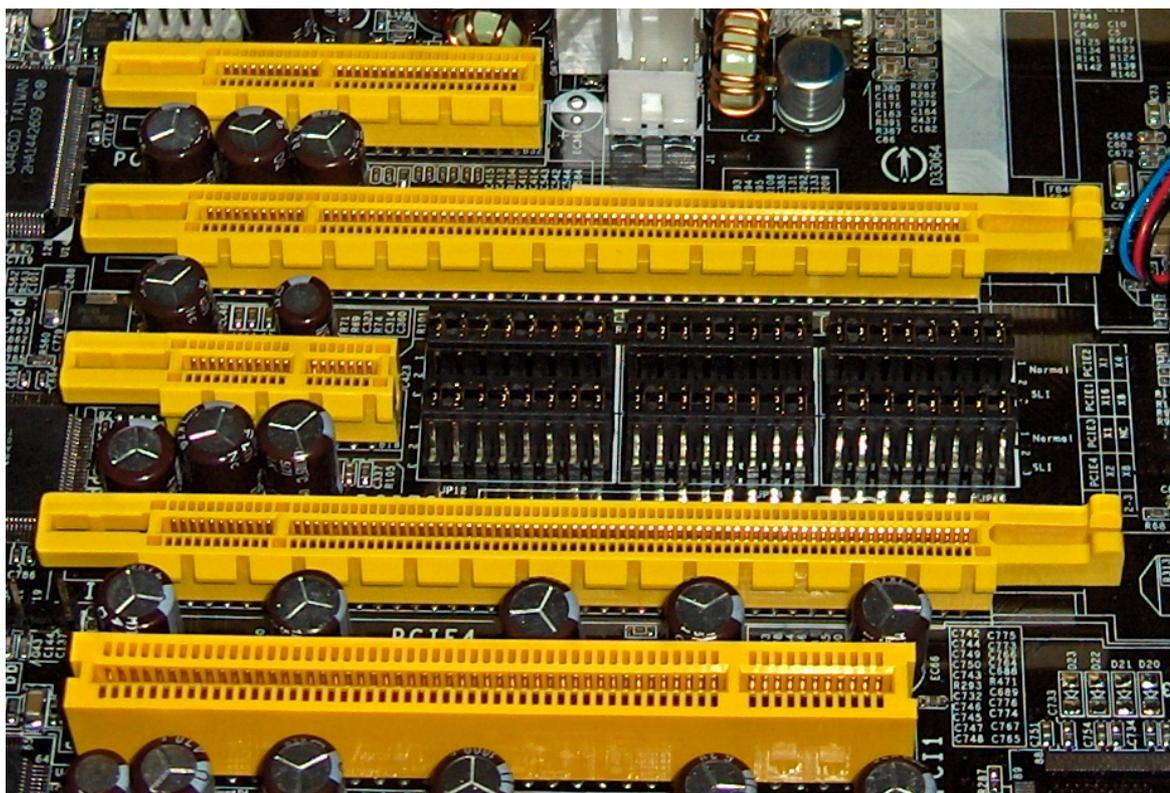
С этими стандартами RJ11-RJ45 связана большая путаница. Шестиместный разъём, часто применяемый в телефонии, может быть использован как RJ11, RJ14 или даже RJ25, которые по сути являются названиями стандартов, *использующих* этот физический разъём. RJ11 предполагает двухжильное соединение, в то время как RJ14 — четырёхжильное, а RJ25 использует все шесть жил.

Термин «RJ45» ошибочно употребляется для именованного разъёма [8P8C](#), используемого в компьютерных сетях. На самом деле настоящий RJ45 физически несовместим с 8P8C, так как использует схему [8P2C](#) с ключом. Ошибочное употребление термина «RJ45» вызвано,

вероятно, тем, что настоящий RJ45 не получил широкого применения, а также их внешним сходством.



Слева направо, RJ-разъёмы: 8-контактный разъём (8P8C, использующийся [RJ49](#), [RJ61](#) и другими, но часто называемый «RJ45» из-за внешнего сходства с настоящим RJ45), 6-контактный RJ25, 4-контактный RJ14 (часто используется вместо 2-контактного RJ11) и 4-контактный [трансиверный](#) разъём (зачастую ошибочно называемый «[RJ22](#)», «[RJ10](#)» или «[RJ9](#)»). Те два, что посередине, могут быть вставлены в одну и ту же стандартную 6-контактную розетку (крайняя справа).



Разъёмы шины [PCI Express](#) (сверху вниз: x4, x16, x1 и x16), по сравнению с обычным 32-битным разъемом шины [PCI](#) (внизу)

1.2 История интерфейсов

1.2.1 Первое поколение

Ранние [компьютерные](#) шины были группой проводников, подключающей [компьютерную память](#) и периферию к процессору. Почти всегда для памяти и периферии использовались разные шины, с разным способом доступа, задержками, протоколами.

Одним из первых усовершенствований стало использование [прерываний](#). До их внедрения компьютеры выполняли операции ввода-вывода в цикле ожидания готовности периферийного устройства. Это было бесполезной тратой времени для программ, которые могли делать другие задачи. Также, если программа пыталась выполнить другие задачи, она могла проверить состояние устройства слишком поздно и потерять данные. Поэтому инженеры дали возможность периферии прерывать [процессор](#). Прерывания имели приоритет, так как процессор может выполнять только код для одного прерывания в один момент времени, а также некоторые устройства требовали меньших задержек, чем другие.

Некоторое время спустя, компьютеры стали распределять память между процессорами. На них доступ к шине также получил приоритеты.

Классический и простой способ обеспечить приоритеты прерываний или доступа к шине заключался в цепном подключении устройств.

[DEC](#) отмечала, что две разные шины могут быть излишними и дорогими для малых, серийных компьютеров и предложила отображать периферийные устройства на шину



памяти, так, что они выглядели как области памяти. В то время это было очень смелым решением, и критики предсказывали ему провал.

Первые миникомпьютерные шины представляли пассивные объединительные платы, подключенные к контактам микропроцессора. Память и другие устройства подключались к шине с использованием тех же контактов адреса и данных, что и процессор. Все контакты были подключены параллельно. В некоторых случаях, например в [IBM PC](#), необходимы дополнительные инструкции процессора для генерации сигналов, чтобы шина была настоящей шиной ввода-вывода.

Во многих микроконтроллерах и [встраиваемых системах](#) шины ввода-вывода до сих пор не существует. Процесс передачи контролируется ЦПУ, который в большинстве случаев читает и пишет информацию в устройства, так, как будто они являются блоками памяти. Все устройства используют общий источник тактового сигнала. Периферия может запросить обработку информации путём подачи сигналов на специальные контакты ЦПУ, используя какие-либо формы прерываний. Например, контроллер [жёсткого диска](#) уведомит процессор о готовности новой порции данных для чтения, после чего процессор должен считать их из области памяти, соответствующей контроллеру. Почти все ранние компьютеры были построены по таким принципам, начиная от [Altair](#) с шиной [S-100](#) ([англ.](#)), заканчивая [IBM PC](#) в [1980-х](#).

Такие простые шины имели серьёзный недостаток для универсальных компьютеров. Всё оборудование на шине должно было передавать информацию на одной скорости и использовать один источник [синхросигнала](#). Увеличение скорости процессора было непростым, так как требовало такого же ускорения всех устройств. Это часто приводило к ситуации, когда очень быстрым процессорам приходилось замедляться для возможности передачи информации некоторым устройствам. Хотя это допустимо для встраиваемых систем, данная проблема непозволительна для коммерческих компьютеров. Другая проблема состоит в том, что процессор требуется для любых операций, и когда он занят другими операциями, реальная [пропускная способность](#) шины может значительно страдать.

Такие компьютерные шины были сложны в настройке, при наличии широкого спектра оборудования. Например, каждая добавляемая карта расширения могла требовать установки множества переключателей для задания адреса памяти, адреса ввода-вывода, приоритетов и номеров прерываний.

1.2.2 Второе поколение

Компьютерные шины «второго поколения», например [NuBus](#) решали некоторые из вышеперечисленных проблем. Они обычно разделяли компьютер на две «части», процессор и память в одной и различные устройства в другой. Между частями устанавливался специальный контроллер шин (*bus controller*). Такая архитектура позволила увеличивать скорость процессора без влияния на шину, разгрузить процессор от задач управления шиной. При помощи контроллера устройства на шине могли взаимодействовать друг с другом без вмешательства центрального процессора. Новые шины имели лучшую производительность, но также требовали более сложных карт расширения. Проблемы скорости часто решались увеличением разрядности [шины данных](#), с 8-ми битных шин первого поколения до 16 или 32-х битных шин во втором поколении. Также появилась программная настройка устройств для упрощения подключения новых устройств, ныне стандартизованная как [Plug-n-play](#).



Однако новые шины, так же как и предыдущее поколение, требовали одинаковых скоростей от устройств на одной шине. Процессор и память теперь были изолированы на собственной шине и их скорость росла быстрее, чем скорость периферийной шины. В результате, шины были слишком медленны для новых систем и машины страдали от нехватки данных. Один из примеров данной проблемы: [видеокарты](#) быстро совершенствовались, и им не хватало пропускной способности даже новых шин [Peripheral Component Interconnect](#) (PCI). Компьютеры стали включать в себя [Accelerated Graphics Port](#) (AGP) только для работы с видеоадаптерами. В [2004](#) году AGP снова стало недостаточно быстрым для мощных видеокарт и AGP стал замещаться новой шиной [PCI Express](#)

Увеличивающееся число внешних устройств стало применять собственные шины. Когда были изобретены приводы дисков, они присоединялись к машине при помощи карты, подключаемой к шине. Из-за этого компьютеры имели много слотов расширения. Но в [1980-х](#) и [1990-х](#) были изобретены новые шины [SCSI](#) и [IDE](#) решившие эту проблему и оставив большую часть разъемов расширения в новых системах пустыми. В наше время типичная машина поддерживает около пяти различных шин.

Шины стали разделять на внутренние (*local bus*) и внешние (*external bus*). Первые разработаны для подключения внутренних устройств, таких как видеоадаптеры и звуковые платы, а вторые предназначались для подключения внешних устройств, например, [сканеров](#). IDE является внешней шиной по своему назначению, но почти всегда используется внутри компьютера.

1.2.3 Третье поколение

Шины «третьего поколения» в настоящее время находятся в процессе выхода на рынок, включая [HyperTransport](#) и [InfiniBand](#). Они обычно позволяют использовать как большие скорости, необходимые для памяти, видеокарт и межпроцессорного взаимодействия, так и небольшие при работе с медленными устройствами, например, приводами дисков. Также они стремятся к большей гибкости в терминах физических подключений, позволяя использовать себя и как внутренние и как внешние шины, например для объединения компьютеров. Это приводит к сложным проблемам при удовлетворении различных требований, так что большая часть работ по данным шинам связана с программным обеспечением, а не с самой аппаратурой. В общем, шины третьего поколения больше похожи на [компьютерные сети](#), чем на изначальные идеи шин, с большими накладными расходами, чем у ранних систем. Также они позволяют использовать шину нескольким устройствам одновременно.

Современные [интегральные схемы](#) часто разрабатываются из заранее созданных частей. Разработаны шины (например [Wishbone](#)) для более простой интеграции различных частей интегральных схем.



1.3 Примеры внутренних компьютерных шин

1.3.1 Параллельные

- Проприетарная [ASUS Media Bus](#), использовалась на некоторых материнских платах [ASUS](#) с [Socket 7](#)
- [CAMAC](#) для измерительных систем (*instrumentation systems*)
- [Extended ISA](#) или EISA
- [Industry Standard Architecture](#) или ISA
- [Low Pin Count](#) или LPC
- [MicroChannel](#) или MCA
- [MBus](#)
- [Multibus](#) для промышленных систем
- [NuBus](#) или IEEE 1196
- [OPTi local bus](#), использовалась для ранних материнских плат для [Intel 80486](#)
- [Peripheral Component Interconnect](#) или PCI, также PCI-X
- [S-100 bus](#) или IEEE 696, использовалась в [Altair](#) и похожих [микрокомпьютерах](#)
- [SBus](#) или IEEE 1496
- [VESA Local Bus](#) или VLB или VL-bus
- [VMEbus](#), VERSAmodule Eurocard bus
- STD Bus для 8-ми и 16-ти битных микропроцессорных систем
- [Unibus](#)
- [Q-Bus](#)

1.3.2 Последовательные

- [1-Wire](#)
- [HyperTransport](#)
- [I²C](#)
- [PCI Express](#) или PCIe
- [Serial Peripheral Interface Bus](#) или шина [SPI](#)
- [USB](#), Universal Serial Bus, чаще используется как внешняя
- [FireWire](#), i.Link, IEEE 1394, чаще используется как внешняя

1.4 Примеры внешних компьютерных шин

- [Advanced Technology Attachment](#) или ATA (также известна, как PATA, IDE, EIDE, ATAPI) — шина для подключения дисковой и ленточной периферии.
- [SATA](#), Serial ATA — современный вариант ATA
- [USB](#), Universal Serial Bus, используется для множества внешних устройств
- [HIPPI](#) High Performance Parallel Interface
- [IEEE-488](#), GPIB (General-Purpose Instrumentation Bus), HP-IB, (Hewlett-Packard Instrumentation Bus)
- [PC card](#), ранее известная как *PCMCIA*, часто используется в [ноутбуках](#) и других портативных компьютерах, но теряет своё значение с появлением USB и встраиванием сетевых карт и модемов
- [SCSI](#), Small Computer System Interface, шина для подключения дисковых и ленточных накопителей
- [Serial Attached SCSI](#), SAS — современный вариант SCSI



1.4.1 Проприетарные

- Floppy drive connector

1.5 Примеры универсальных компьютерных шин

- [Futurebus](#)
- [InfiniBand](#)
- [QuickRing](#)
- [SCI](#)

2 МПИ=QBUS

Магистральный параллельный интерфейс (МПИ) — стандарт, определяющий процедуры обмена по 16-ти разрядной шине с совмещением (мультиплексированием) адреса и данных.

Стандарт не определяет физической реализации интерфейса.

2.1 Реализации

МПИ применялся в СССР в компьютерах [Электроника 60](#) и [СМ-1425](#). По электрическим и функциональным характеристикам аналогичен шине [Q-Bus](#) фирмы [DEC](#), также совпадает нумерация выводов. Механически незначительно отличается от Q-Bus. Подобно Q-Bus допускалось расширение адреса до 18 и 22 разрядов, что позволяло адресовать до 4Мб памяти в максимальной конфигурации. Применялся разъем РППМ16х72. Из за значительного содержания [золота](#) на контактах (около 4 грамм) практически все выпущенные изделия были [утилизированы](#).

В компьютерах [ДВК](#) также применялся интерфейс МПИ, механически и электрически совместимый с реализацией в [Электроника 60](#).

Микропроцессоры [1801ВМ1](#) и [1801ВМ2](#) использовали в качестве системной шины набор сигналов, очень близкий к МПИ, что значительно упрощало конструкцию.

Компьютер [БК-0010](#) также имел системный интерфейс, подобный МПИ, но содержащий не полный набор сигналов и выведенный на разъем СНП-58.

В компьютере [УКНЦ](#) для подсоединения модулей также использовал интерфейс, логически и электрически подобный МПИ, но механически несовместимый с ДВК и БК. Применяется разъем СНП15-48/80х10Р-19-2 .

2.2 Литература

- [ОСТ 11.305.903-80](#).
- [ГОСТ 26765.1-86](#). Интерфейс магистральный параллельный МПИ системы электронных модулей. Общие требования к совокупности правил обмена информацией.



3 Технология (шина) HYPERTRANSPORT

Шина **HyperTransport (HT)**, ранее известная как **Lightning Data Transport (LDT)**, — это двунаправленная последовательно/параллельная компьютерная шина, с высокой пропускной способностью и малыми задержками. Для разработки и продвижения данной шины был образован консорциум *HyperTransport Technology*. Технология используется компаниями [AMD](#) и [Transmeta](#) в [x86](#)-процессорах; [PMC-Sierra](#), [Broadcom](#) и [Raza Microelectronics](#) — в процессорах [MIPS](#); [nVidia](#), [VIA](#), [SiS](#), [ULi/ALi](#), [AMD](#), [Apple Computer](#) и [HP](#) — в наборах системной логики для [ПК](#); [HP](#), [Sun Microsystems](#), [IBM](#) и [iWill](#) — в [серверах](#); [Cray](#), [Newisys](#) и [PathScale](#) — в [суперкомпьютерах](#), а также компанией [Cisco Systems](#) — в [маршрутизаторах](#).

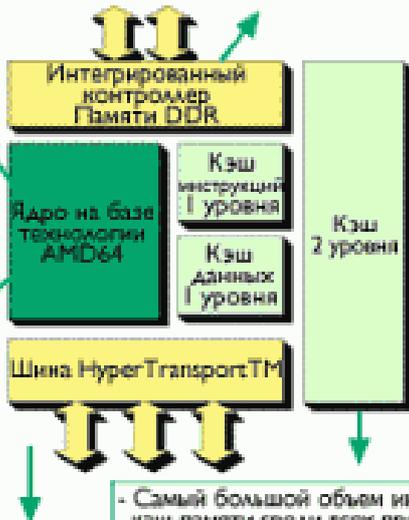


Архитектура процессора AMD Athlon™ 64 FX

- Ведущие показатели эффективности работы современных приложений
- Подготовленный к 64-разрядному программному обеспечению завтрашнего дня
- Одновременное и беспрепятственное выполнение 32-разрядных и 64-разрядных приложений
- 2 (2x) внутренних регистра разработаны для лучшей производительности
- С адресностью более 4Г байт для новых опытов и возможностей, которые фактически невозможны с существующими 32-разрядными технологиями

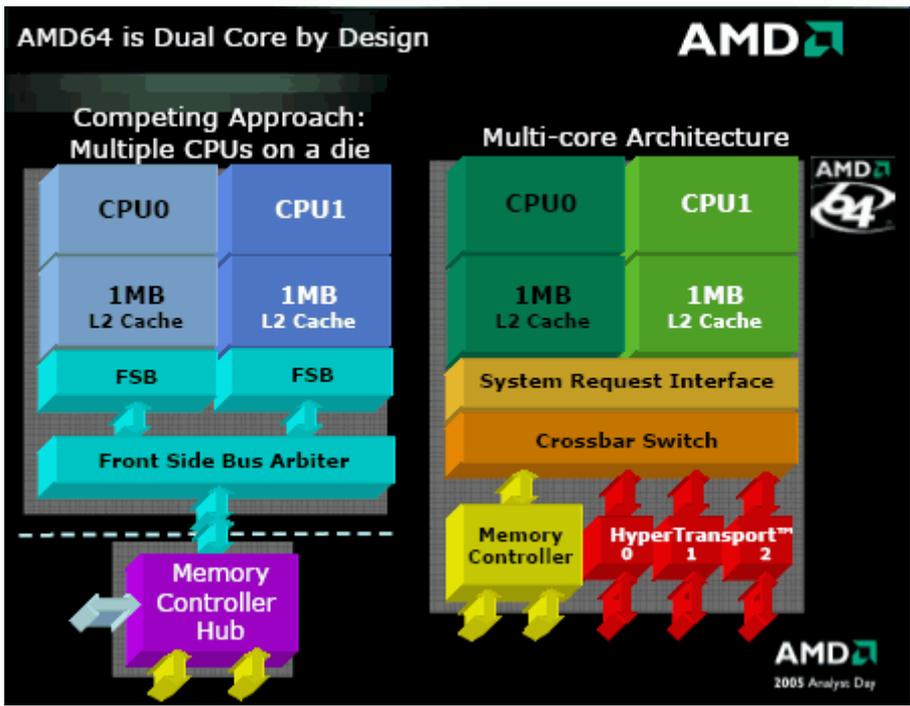
- Уменьшение числа узких мест системы
- Увеличение эффективности работы многих приложений, в особенности приложений, интенсивно обменивающихся данными с оперативной памятью
- Поддержка памяти DDR SDRAM PC3200*, PC2700, PC2100 и PC1600
 - Модули небуферизованной памяти DIMM
 - 128-разрядный интерфейс
 - Скорость обмена данными с памятью до 6,4 Гбайт/с

Улучшенная защита от вирусов при поддержке Windows® XP SP2 призвана предотвратить распространение некоторых вирусов, таких как MSBlasteg и Slammer, и существенно снизить затраты и время простоя, связанные с подобными вирусами, и улучшить защиту компьютеров и персональной информации от некоторых компьютерных вирусов.



- Системная шина с технологией HyperTransport™ обеспечивает ускоренное взаимодействие с подсистемой ввода-вывода
- Скорость обмена данными с системой до 8 Гбайт/с
- Системная шина с частотой до 2000 МГц

- Самый большой объем интегрированной кэш-памяти среди всех процессоров для ПК
- Кэш-память инструкций 1 уровня объемом 64 Кбайт
- Кэш-память данных 1 уровня объемом 64 Кбайт
- Кэш-память 2 уровня объемом 1024 Кбайт
- Общий объем кэш-памяти 1152 Кбайт
- Повышение эффективности работы многих приложений, особенно при больших нагрузках





На рисунке слева Архитектура INTEL процессоров с FBUS, справа AMD процессоров с шиной Hypertransport

HyperTransport работает на частотах от 200 МГц до 3,2 ГГц (у шины [PCI](#) — 33 и 66 МГц). Кроме того, она использует DDR, что означает, что данные посылаются как по переднему, так и по заднему фронтам сигнала синхронизации, что позволяет осуществлять до 5200 миллионов посылок в секунду при частоте сигнала синхронизации 2,6 ГГц; частота сигнала синхронизации настраивается автоматически.

HyperTransport поддерживает автоматическое определение ширины шины, от 2-х до 32 бит. Полноразмерная, полноскоростная, 32-битная шина в двунаправленном режиме способна обеспечить пропускную способность до $41\,600 \text{ Мбайт/с} = 2 \text{ (DDR)} \times 2 \times 32/8 \text{ (байт)} \times 2600 \text{ (МГц)}$ (максимум в одном направлении — 20 800 Мбайт/с), являясь, таким образом, самой быстрой шиной среди себе подобных. Шина может быть использована как в подсистемах с высокими требованиями к пропускной способности ([оперативная память](#) и [ЦПУ](#)), так и в подсистемах с низкими требованиями (периферийные устройства). Данная технология также способна обеспечить низкие задержки для других применений в других подсистемах.

Шина HyperTransport основана на передаче пакетов. Каждый пакет состоит из 32-разрядных слов, вне зависимости от физической ширины шины (количества информационных линий). Первое слово в пакете — всегда управляющее слово. Если пакет содержит адрес, то последние 8 бит управляющего слова сцеплены со следующим 32-битным словом, в результате образуя 40-битный адрес. Шина поддерживает 64-разрядную адресацию — в этом случае пакет начинается со специального 32 разрядного управляющего слова, указывающего на 64 разрядную адресацию, и содержащего разряды адреса с 40 по 63 (разряды адреса нумеруются начиная с 0). Остальные 32-битные слова пакета содержат непосредственно передаваемые данные. Данные всегда передаются 32-битными словами, вне зависимости от их реальной длины (например, в ответ на запрос на чтение одного байта по шине будет передан пакет, содержащий 32 бита данных и флагом-признаком того, что значимыми из этих 32 бит являются только 8).

Пакеты HyperTransport передаются по шине последовательно. Увеличение пропускной способности влечёт за собой увеличение ширины шины. HyperTransport может использоваться для передачи служебных сообщений системы, для передачи прерываний, для конфигурирования устройств, подключённых к шине и для передачи данных.

Операция записи на шине бывает двух видов — *posted* и *non-posted*. Posted-операция записи заключается в передаче единственного пакета, содержащего адрес, по которому необходимо произвести запись, и данные. Эта операция обычно используется для обмена данными с высокоскоростными устройствами, например, для DMA-передачи. Non-posted операция записи состоит из посылки двух пакетов: устройство, инициирующее операцию записи посылает устройству-адресату пакет, содержащий адрес и данные. Устройство-адресат, получив такой пакет, проводит операцию записи и отправляет устройству-инициатору пакет, содержащий информацию о том, успешно ли произведена запись. Таким образом, posted-запись позволяет получить максимальную скорость передачи данных (нет затрат на пересылку пакета-подтверждения), а non-posted-запись позволяет обеспечить надёжную передачу данных (приход пакета-подтверждения гарантирует, что данные дошли до адресата).

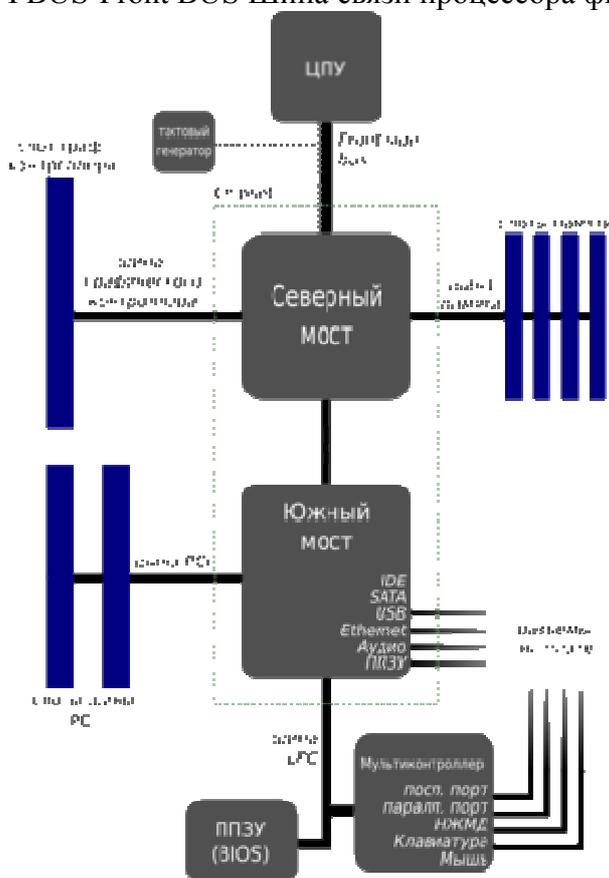


Шина HyperTransport поддерживает технологии энергосбережения, а именно [АСРІ](#). Это значит, что при изменении состояния процессора (C-state) на энергосберегающее, изменяется также и состояние устройств (D-state). Например, при отключении процессора [жѐсткие диски](#) также отключаются.

Электрический интерфейс HyperTransport/LDT — [низковольтные дифференциальные сигналы](#), с напряжением 1,2 В.

4 FBUS

FBUS-Front BUS Шина связи процессора фирмы INTEL с северным мостом.



4.1 Северный мост

Северный мост (от [англ. Northbridge](#)) (системный контроллер [1], [1]) — один из основных элементов [чипсета компьютера](#), отвечающий за работу с [процессором](#), [памятью](#) и [видеоадаптером](#). Северный мост определяет частоту системной шины, возможный тип оперативной памяти (в системах на базе процессоров Intel) ([SDRAM](#), [DDR](#), другие), её максимальный объем и скорость обмена информацией с процессором. Кроме того, от северного моста зависит наличие шины видеоадаптера, её тип и быстродействие. Для компьютерных систем нижнего ценового уровня в северный мост нередко встраивают и графическое ядро. Во многих случаях именно северный мост определяет тип и быстродействие шины расширения системы ([PCI](#), [PCI Express](#), другое).

4.2 Южный мост

Южный мост (от [англ. Southbridge](#)) (функциональный контроллер), также известен как контроллер-концентратор ввода-вывода от [англ. I/O Controller Hub \(ICH\)](#). Это микросхема, которая реализует «медленные» взаимодействия на [материнской плате](#) между чипсетом материнской платы и её компонентами. Южный мост обычно не подключён напрямую к центральному процессору ([ЦПУ](#)), в отличие от [северного моста](#). Северный мост связывает южный мост с ЦПУ.



4.2.1 Состав южного моста

Функционально южный мост включает в себя:

- контроллер шины [PCI](#);
- контроллер шины [ISA](#);
- контроллер шины SMBus или [I2C](#);
- [DMA](#) контроллер;
- контроллер прерываний;
- IDE ([SATA](#) или [PATA](#)) контроллеры;
- контроллер шины LPC;
- часы реального времени (Real Time Clock);
- управление питанием (Power management (APM и ACPI));
- энергонезависимую память [BIOS \(CMOS\)](#);
- звуковой контроллер AC97 (опционально).

Опционально южный мост также может включать в себя контроллер [Ethernet](#), [RAID](#)-контроллеры, контроллеры [USB](#), контроллеры [FireWire](#) и аудио-кодек.

Реже южный мост включает в себя поддержку [клавиатуры](#), [мыши](#) и [последовательных портов](#), но обычно эти устройства подключаются с помощью другого устройства — Super I/O (контроллера ввода-вывода). Поддержка шины PCI включает в себя традиционную спецификацию [PCI](#), но может также обеспечивать поддержку шины [PCI-X](#) и [PCI Express](#). Хотя поддержка шины [ISA](#) используется достаточно редко, она осталась, что интересно, неотъемлемой частью современного южного моста. Шина SM используется для связи с другими устройствами на материнской плате (например, для управления вентиляторами). Контроллер DMA позволяет устройствам на шине [ISA](#) или [LPC](#) получать прямой доступ к [оперативной памяти](#), обходясь без помощи центрального процессора.

Контроллер прерываний обеспечивает механизм информирования ПО, исполняющегося на ЦПУ о событиях в периферийных устройствах. IDE интерфейс позволяет «увидеть» системе [жёсткие диски](#). Шина [LPC](#) обеспечивает передачу данных и управление [SIO](#) (это такие устройства, как клавиатура, мышь, [параллельный](#), [последовательный порт](#), [инфракрасный порт](#) и флоппи-контроллер) и [BIOS ROM \(флэш\)](#).

APM или [ACPI](#) функции позволяют перевести компьютер в «спящий режим» или выключить его.

Системная память [CMOS](#), поддерживаемая питанием от батареи, позволяет создать ограниченную по объёму область памяти для хранения системных настроек (настроек [BIOS](#)).

4.2.2 Известные южные мосты

Семейство ICH:

- ICH(ICH0)
- ICH2
- ICH2-M
- ICH3-M
- ICH3-S



- ICH4/4R
- ICH4-M
- ICH5/5R
- ICH6/6R
- ICH6W
- ICH7/7R
- ICH7-DH
- ICH8-DH
- ICH9/9R
- ICH9-DH
- ICH10/10R

Другие:

- MPIOX
- MPC12
- MISA2
- PIOX
- PIOX3
- PIOX4
- PIOX4E
- SIOH
- IFB
- nForce 410/430
- IXP400/IXP450

5 RAPIDIO

RapidIO — это высокопроизводительный интерфейс передачи данных для соединения [микросхем](#) в рамках одной печатной платы, а также для соединения между собой нескольких печатных плат и ядер внутри суперскалярных МП или МК. Данный интерфейс был разработан для применения во встраиваемых системах.

Основными конкурентами RapidIO являются [HyperTransport](#), [Infiniband](#) и [PCI Express](#), которые, однако, предназначены для решения других задач.

Интерфейс RapidIO разработан компаниями *Mercury Computer Systems* и [Motorola](#) (ныне *Freescale*) как развитие шины, применявшейся в многопроцессорных системах [цифровой обработки сигналов](#) компании *Mercury*.

Спецификации интерфейса *RapidIO* разработаны организацией [RapidIO Trade Association](#). На настоящий момент последней является версия 2.0 спецификации.

Спецификации **RapidIO** определяют физический (соответствует [физическому](#) и [канальному](#) уровню модели OSI), транспортный (соответствует [сетевому](#) уровню модели OSI) и логический (соответствует [транспортному](#) уровню модели OSI) уровни.

Имеется две спецификации физического уровня:



- LP-LVDS — канал точка-точка представляет собой параллельный 8- или 16-разрядный дуплексный интерфейс, частота тактового сигнала — 250, 375, 500, 750 или 1000 МГц;
- LP-Serial — канал точка-точка представляет собой последовательный дуплексный интерфейс, состоящий из 1, 2, 4, 8 или 16 подканалов ([англ. lane](#)), скорость передачи битового потока: 1,25, 2,5, 3,125, 5 или 6,25 Гбод.