



Лекция МИКРОПРОЦЕССОРЫ

Содержание

1	Определения	3
2	Параметры МП	3
2.1	MIPS	4
2.2	FLOPS	4
2.2.1	Флопс как мера производительности	4
2.2.2	Границы применимости	5
2.2.3	Причины широкого распространения	6
2.2.4	Обзор производительности реальных систем	6
3	Классификация Архитектур процессоров	9
3.1	Архитектура фон Неймана	9
3.1.1	Принципы фон Неймана	9
3.1.2	Компьютеры, построенные на принципах фон Неймана	10
3.2	Гарвардская Архитектура	11
3.2.1	История	11
3.2.2	Классическая гарвардская архитектура	12
3.2.3	Модифицированная гарвардская архитектура	12
3.2.4	Расширенная гарвардская архитектура	12
3.2.5	Гибридные модификации с архитектурой фон-Неймана	12
3.2.6	Использование	13
3.3	CISC	13
3.4	RISC	13
3.5	MISC процессоры (архитектура)	15
3.6	Введение КЕШ папяти	15
3.7	Конвейер	16
3.8	Суперскалярные архитектуры	16
3.9	VLIW-архитектура	18
3.10	Потоковая архитектура	19
3.11	Векторно-конвейерная архитектура	19
3.12	Параллельные архитектуры SIMD/MIMD	19
3.12.1	SIMD-расширения, используемые в процессорах архитектуры x86	20
3.13	CUDA	20
3.13.1	Оборудование	21
3.13.2	Преимущества	21
3.13.3	Ограничения	22
3.14	Технология (шина) HYPERTRANSPORT	22
4	ИСТОРИЯ развития процессоров	22
4.1	DEC	22
4.2	INTEL	25
4.2.1	8086	25
4.2.2	8088	26
4.2.3	i80286	26
4.3	Появление первых 32-х разрядных камней	26
4.3.1	i80386	26
4.3.2	i80486	27
4.3.3	INTEL PENTIUM (P5)	27
4.4	Расцвет 32 разрядности	28
4.4.1	Intel Pentium Pro	28
4.4.2	Intel Pentium MMX	28
4.4.3	Intel Pentium 2	28
	Intel Pentium 3	28
	Intel Pentium 4	28



4.5	AMD	29
4.5.1	AMD K5	29
4.5.2	AMD K6 (AMD K6 MMX)	29
4.5.3	AMD K6-2	29
4.5.4	AMD K6-3 (Sharptooth).....	29
4.5.5	AMD Athlon (K7).....	30
4.6	64-разрядные технологии AMD и Intel	30
4.6.1	Long Mode.....	31
4.6.2	Legacy Mode	32
4.6.3	Особенности архитектуры	32
4.6.4	Технология.....	32
4.6.5	Совместимость	33
4.6.6	Современные Intel и AMD МП.....	34
4.7	Motorola.....	35
4.8	СССР, Россия.....	36
4.8.1	Копии DEC	36
4.8.2	Копии INTEL	36
4.8.3	БЭСМ-1	36
4.8.4	БЭСМ-2	37
4.8.5	М-20.....	37
4.8.6	ЭВМ военного назначения.....	37
4.8.7	Другие разработки на основе БЭСМ-6	40
4.8.8	Эльбрус (компьютер,затем МП).....	40
4.8.9	Архитектура Эльбрус-1,2.....	41
5	Современные отечественные ЭВМ и МП	43
5.1	Современные МП в России.....	43
5.2	Разработки МП от МЦСТ(Россия)	44
5.2.1	Эльбрус-90микро	44
5.2.2	Эльбрус-3М	44
5.2.3	Следующие поколения процессоров Эльбрус-1С	45
5.3	Разработки фирмы ЭЛВИС.....	46
5.4	Современные отечественные ЭВМ на вооружении	47
5.4.1	Мобильные и стационарные	47
5.4.2	Авиационные ЭВМ	48
6	Семейства (системы команд) процессоров	58
6.1	8080, Z80	58
6.2	X86=IA32	58
6.3	Расширения IA32	58
6.4	IA64	58
6.5	SPARC (SUN).....	58
6.5.1	Архитектура SPARCv8	58
6.5.2	Архитектура SPARCv9	59
6.5.3	Реализации SPARCv8	59
6.5.4	Реализации SPARCv9	59
6.5.5	Характеристики микропроцессоров SPARC	59
6.5.6	Операционные системы, работающие на SPARC.....	64
6.5.7	Реализации с открытым кодом	64
6.5.8	Суперкомпьютеры	64
6.6	MIPS (SGI).....	64
6.6.1	Немного об архитектуре MIPS	65
6.6.2	Семейство процессоров с архитектурой MIPS	66
6.7	POWER-PC (Apple).....	66
	Архитектура процессора PowerPC G5	67



1 Определения

Архитектура Вычислительной системы: АЛУ, ДК, СОЗУ=Регистры РС-program counter- счетчик (указатель) инструкций (см рисунок)

Процессор (устройство, отвечающее за выполнение арифметических, логических и операций управления, записанных в [машинном коде](#)

Микропроцессор — процессор реализованный в виде одной [микросхемы](#)^[1] или комплекта из нескольких специализированных микросхем^[2] (в противоположность реализации процессора в виде электрической схемы на элементной базе общего назначения или в виде программной модели). Первые микропроцессоры появились в 1970-х и применялись в электронных [калькуляторах](#), в них использовалась [двоично-десятичная](#) арифметика 4-х битных [слов](#). Вскоре их стали [встраивать](#) и в другие устройства, например терминалы, [принтеры](#) и различную [автоматику](#). Доступные 8-битные микропроцессоры с 16-битной адресацией позволили в середине 1970-х создать первые бытовые [микрокомпьютеры](#).

Разместив целый ЦПУ на одном чипе сверхбольшой интеграции удалось значительно снизить его стоимость. Несмотря на скромное начало, непрерывное увеличение сложности микропроцессоров привело к почти полному устареванию других форм компьютеров (см. [историю вычислительной техники](#)), в настоящее время один или несколько микропроцессоров используются в качестве вычислительного элемента во всём, от мельчайших [встраиваемых систем](#) и мобильных устройств до огромных [мейнфреймов](#) и [суперкомпьютеров](#).

С начала 1970-х широко известно, что рост мощности микропроцессоров следует [закону Мура](#), который утверждает что число транзисторов на интегральной микросхеме удваивается каждые 18 месяцев. В конце 1990-х главным препятствием для разработки новых микропроцессоров стало тепловыделение ([TDP](#)) из-за утечек тока и других факторов^[3].

Некоторые авторы относят к микропроцессорам только устройства, реализованные строго на одной микросхеме. Такое определение расходится как с академическими источниками^[4], так и с коммерческой практикой (например, варианты микропроцессоров [Intel](#) и [AMD](#) в корпусах типа [SECC](#) и подобных, такие как [Pentium II](#) — были реализованы на нескольких микросхемах- называемых **микропроцессорным комплектом**).

В настоящее время, в связи с очень незначительным распространением процессоров, не являющихся микропроцессорами, в бытовой лексике термины «микропроцессор» и «процессор» практически равнозначны.

Микроконтроллер- процессор с ОЗУ и ПЗУ и широким набором контроллеров, в том числе периферийных, и специализированных процессоров, реализованный в виде одной [микросхемы](#). Центральный (управляющий) процессор обычно средней производительности, меньшей чем у микропроцессоров того-же уровня технологии. Его основная задача управлять контроллерами и другими спецпроцессорами (DSP)

2 Параметры МП

Архитектура

Разрядность процессора

Система команд, семейство

Тактовая частота процессора



Быстродействие (интегральный параметр- MIPS=MOPS/FLOPS

Параметры Внешней(их) шины(шиш) и интерфейсов –разрядность, частота (FBUS)

Напряжение питания (или несколько)

Энергопотребление, удельное потребление Вт/флоры, Вт/операцию, Гфлопс/Вт тип теплоотвода

Корпус (тип корпуса по ISO=размеры, кол и тип выводов)

Показатель производительности Гфлопс/ГГц

2.1 MIPS

MIPS ([англ.](#) *Million Instructions Per Second*) — единица измерения [быстродействия](#), равная одному миллиону инструкций в секунду. Если указано быстродействие в MIPS, то, как правило, оно показывает, сколько миллионов инструкций в секунду выполняет [процессор](#) в некотором синтетическом тесте.

BogoMIPS (от [англ.](#) *bogus* (поддельный) и [MIPS](#) — [англ.](#) *Millions of Instructions Per Second*) — в [ядре Линукс](#) ненаучный способ измерения производительности компьютера, предназначенный для калибровки внутренних [циклов](#). Термин изобрёл [Линус Торвальдс](#) в [1993](#). BogoMIPS шутливо определяется как «сколько миллионов раз в секунду компьютер может абсолютно ничего не делать».

Причина возникновения такой величины в том, что для работы с некоторыми видами оборудования ядру системы требуются короткие временные задержки, которые реализуются в форме пустых циклов. Чтобы узнать, сколько именно раз надо повторять пустой цикл, необходимо выяснить скорость его выполнения на данной машине — именно для этого используется BogoMIPS.

2.2 FLOPS

FLOPS (или **flops** или **flop/s**)(акроним от [англ.](#) *Floating point Operations Per Second*, произносится как *флорс*) — величина, используемая для измерения производительности [компьютеров](#), показывающая, сколько операций с [плавающей запятой](#) в [секунду](#) выполняет данная вычислительная система.

Поскольку современные компьютеры обладают высоким уровнем производительности, более распространены производные величины от FLOPS, образуемые путём использования стандартных [приставок системы СИ](#).

2.2.1 Флопс как мера производительности

Производительность суперкомпьютеров

Название	год	FLOPS
флопс	1941	10^0
килофлопс	1949	10^3
мегафлопс	1964	10^6
гигафлопс	1987	10^9
терафлопс	1997	10^{12}
петафлопс	2008	10^{15}
эксафлопс	—	10^{18}
зеттафлопс	—	10^{21}
йоттафлопс	—	10^{24}
ксерафлопс	—	10^{27}



Как и большинство других показателей производительности, данная величина определяется путём запуска на испытуемом компьютере тестовой программы, которая решает задачу с известным количеством операций и подсчитывает время, за которое она была решена. Наиболее популярным тестом производительности на сегодняшний день является программа [LINPACK](#), используемая, в том числе, при составлении рейтинга [суперкомпьютеров TOP500](#).

Одним из важнейших достоинств показателя флопс является то, что он до некоторых пределов может быть истолкован как абсолютная величина и вычислен теоретически, в то время как большинство других популярных мер являются относительными и позволяют оценить испытуемую систему лишь в сравнении с рядом других. Эта особенность даёт возможность использовать для оценки результаты работы различных [алгоритмов](#), а также оценить производительность вычислительных систем, которые ещё не существуют или находятся в разработке.

2.2.2 Границы применимости

Несмотря на кажущуюся однозначность, в реальности флопс является достаточно плохой мерой производительности, поскольку неоднозначным является уже само его определение. Под «операцией с плавающей запятой» может скрываться масса разных понятий, не говоря уже о том, что существенную роль в данных вычислениях играет разрядность [операндов](#), которая также нигде не оговаривается. Кроме того, величина флопс подвержена влиянию очень многих факторов, напрямую не связанных с производительностью вычислительного модуля, таких как: пропускная способность каналов связи с окружением [процессора](#), производительность основной [памяти](#) и синхронность работы [кэш-памяти](#) разных уровней.

Всё это, в конечном итоге, приводит к тому, что результаты, полученные на одном и том же компьютере при помощи разных программ, могут существенным образом отличаться, более того, с каждым новым испытанием разные результаты можно получить при использовании одного алгоритма. Отчасти эта проблема решается соглашением об использовании однообразных тестовых программ (той же LINPACK) с усреднением результатов, но со временем возможности компьютеров «перерастают» рамки принятого теста и он начинает давать искусственно заниженные результаты, поскольку не задействует новейшие возможности вычислительных устройств. А к некоторым системам общепринятые тесты вообще не могут быть применены, в результате чего вопрос об их производительности остаётся открытым.

Так, например, [24 июня 2006 года](#) общественности был представлен [суперкомпьютер MDGrape-3](#), разработанный в японском исследовательском институте [RIKEN \(Йокогама\)](#), с рекордной теоретической производительностью в 1 Пфлопс. Однако данный компьютер не является компьютером общего назначения и приспособлен для решения узкого спектра конкретных задач, в то время как стандартный тест LINPACK на нём выполнить невозможно в силу особенностей его архитектуры.

Также, высокую производительность на специфичных задачах показывают [графические процессоры](#) современных [видеокарт](#) и [игровые приставки](#). К примеру, заявленная производительность игровой приставки [Xbox 360](#) составляет 1 Тфлопс, а приставки [PlayStation 3](#) и вовсе 2 Тфлопс, что ставит их в один ряд с суперкомпьютерами начального уровня. Столь высокие показатели объясняются тем, что указана производительность над числами 32-битного формата^{[1][2]}, тогда как для суперкомпьютеров обычно указывают производительность на 64-разрядных данных^{[3][4]}. Кроме того, данные приставки и видео-процессоры рассчитаны на операции с трёхмерной графикой, хорошо поддающиеся распараллеливанию, однако эти процессоры не в состоянии выполнять многие задачи общего назначения, и их производительность сложно оценить классическим тестом LINPACK^[5] и тяжело сравнить с другими системами.



2.2.3 Причины широкого распространения

Несмотря на большое число существенных недостатков, показатель флопс продолжает с успехом использоваться для оценки производительности, базируясь на результатах теста LINPACK. Причины такой популярности обусловлены, во-первых, тем, что флопс, как говорилось выше, является абсолютной величиной. А, во-вторых, очень многие задачи инженерной и научной практики, в конечном итоге, сводятся к решению [систем линейных алгебраических уравнений](#), а тест LINPACK как раз и базируется на измерении скорости решения таких систем. Кроме того, подавляющее большинство компьютеров (включая суперкомпьютеры), построены по классической архитектуре с использованием стандартных процессоров, что позволяет использовать общепринятые тесты с большой достоверностью.

Для подсчета максимального количества FLOPS для процессора нужно учитывать, что современные процессоры в каждом своём ядре содержат несколько исполнительных блоков каждого типа (в том числе и для операций с плавающей точкой) работающих параллельно и могут выполнять более одной инструкции за такт. Данная особенность архитектуры называется [суперскалярность](#) и впервые появилась ещё в самом первом процессоре [Pentium](#) в 1993 году. Современное ядро [Intel Core 2](#) так же является суперскалярным и содержит 4 декодера команд, теоретически позволяющих достичь пиковой производительности до 4-х операций за 1 такт в каждом ядре^[6]. Таким образом, для процессора, имеющего в своём составе 4 ядра (Core 2 Quad) и работающего на частоте 3.5ГГц теоретический предел производительности составляет $4 \times 4 \times 3.5 = 56$ гигафлопс, а для процессора имеющего 2 ядра (Core 2 Duo) и работающего на частоте 3ГГц $2 \times 4 \times 3 = 24$ гигафлопс, что хорошо согласуется с практическими результатами, полученными на тесте LINPACK. Типичная производительность теста LINPACK составляет 80-95 % от теоретического максимума.

2.2.4 Обзор производительности реальных систем

Из-за высокого разброса результатов теста LINPACK, приведены примерные величины, полученные путём усреднения показателей на основе информации из разных источников. Производительность игровых приставок и [распределённых систем](#) (имеющих узкую специализацию и не поддерживающих тест LINPACK) приведена в справочных целях в соответствии с числами, заявленными их разработчиками. Более точные результаты с указанием параметров конкретных систем можно получить, например, на сайте [The Performance Database Server](#).

2.2.4.1 Суперкомпьютеры

- Компьютер [ЭНИАК](#), построенный в [1946 году](#), при массе 27 т и энергопотреблении 150 [кВт](#), обеспечивал производительность в 300 флопс
- [IBM 709 \(1957\)](#) — 5 кфлопс
- [БЭСМ-6 \(1968\)](#) — 1 Мфлопс (операций деления)
- [Cray-1 \(1974\)](#) — 160 Мфлопс
- [БЭСМ-6 на базе Эльбрус-1К2 \(1980-х\)](#) — 6 Мфлопс (операций деления)
- [Эльбрус-2 \(1984\)](#) — 125 Мфлопс
- [Cray Y-MP \(1988\)](#) — 2,3 Гфлопс
- [Электроника СС БИС \(1991\)](#) — 500 Мфлопс
- [ASCI Red \(1993\)](#) — 1 Тфлопс
- [Blue Gene/L \(2006\)](#) — 478,2 Тфлопс
- [Jaguar \(суперкомпьютер\) \(2008\)](#) — 1,059 Пфлопс
- [IBM Roadrunner \(2008\)](#) — 1,105 Пфлопс^[7]
- [IBM Sequoia \(2012\)](#) — 20 Пфлопс^[8]



2.2.4.2 Персональные компьютеры

- [IBM PC/XT \(1983\)](#) — 6,9 кфлопс
- ПК на основе процессора [Intel 80386 \(1985\)](#) с тактовой частотой 40 МГц — 0,6 Мфлопс
- Intel [Pentium](#) 75 МГц (1993) — 7,5 Мфлопс
- Intel [Pentium II](#) 300 МГц (1997) — 50 Мфлопс
- Intel [Pentium III](#) 1 ГГц (1999) — 320 Мфлопс
- [AMD Athlon 64](#) 2,211 ГГц (2003) — 840 Мфлопс^[9]
- Intel [Core 2 Duo](#) 2,4 ГГц (2006) — 1,3 Гфлопс

Вычислительные комплексы России	Эльбрус 3М	Эльбрус 4	Эльбрус 5	Эльбрус 6	Эльбрус 7
Год выпуска	2007	2011	2013	2016	2019
Производительность процессора (Гфлп)	4,8	19,2	64	256	768
Количество процессоров на сервере	2	16	64	64	64
Производительность сервера (Гфлп)	9,6	300	4000	16000	49000
Количество серверов в комплексе 64					
Производительность комплекса (Тфлп)	0,6	19	256	1000	3000

2.2.4.3 Процессоры

- Intel Core 2 Duo E7300 2.66ГГц — 19.34 Гфлопс При использовании (SiSoftware Sandra Pro Home 2009.SP3) Windows XP sp3
- Intel Core 2 Duo E8400 3.0ГГц (2008) — 18.6 Гфлопс При использовании стандартной версии LINPACK 10
- Intel Core 2 Duo E8400 3.0ГГц @4.0ГГц (2008) — 25 Гфлопс (LINPACK Benchmark 10.0 64-бит) в Windows Vista x64 Ultimate SP1
- Intel Core 2 Quad Q9450 2.66ГГц @3.5ГГц — 48 ГФлопс (LINPACK Benchmark 10.0 64-бит) в Windows 2003sp2 x64
-

Название МП	Эльбрус	Эльбрус 2С	Эльбрус 4С	Эльбрус 8С	Эльбрус 16С
Год выпуска	2007	2010	2012	2015	2018
Техн. норма (нм)	130	90	65	45	32
Частота (МГц)	300	600	1000	2000	3000
Производительность МП (Гфлп)	4,8	19,2	64	256	768
Мощность (Вт)	6	16	25		



2.2.4.4 Карманные компьютеры

- КПК на основе процессора [Samsung](#) S3C2440 400 МГц (архитектура [ARM9](#)) — 1,3 Мфлопс
- Intel XScale PXA270 520 МГц — 1,6 Мфлопс
- Intel XScale PXA270 624 МГц — 2 Мфлопс

Примечание: Приведенные процессоры не имеют аппаратной поддержки вычислений с плавающей точкой. Более современные процессоры этого класса (I.MX31, OMAP-Lx) с аппаратным FPU имеют на 2 десятичных порядка большую производительность.

2.2.4.5 Распределённые системы

Данные приведены по состоянию на [23 июня 2008 года](#)

- <http://ru.wikipedia.org/wiki/Folding@home> — более 4 Пфлопс^[10]
- [BOINC](#) — более 1,2 Пфлопс^[11]
- <http://ru.wikipedia.org/wiki/SETI@home> — более 560 Тфлопс^[12]
- <http://ru.wikipedia.org/wiki/Einstein@Home> — более 157 Тфлопс^[13]
- <http://ru.wikipedia.org/wiki/Rosetta@home> — более 84 Тфлопс^[14] (данные 24 июля 2009 года)

2.2.4.6 Игровые приставки

- [Sega Dreamcast](#) — 1,4 Мфлопс
- [Microsoft Xbox](#) — 6,3 Гфлопс
- [Sony PlayStation 2](#) — 6,2 Гфлопс
- Sony [PlayStation Portable](#) — 2,6 Мфлопс
- [Nintendo Gamecube](#) — 10,5 Мфлопс
- Microsoft [Xbox 360](#) — 1 Тфлопс
- Sony [PlayStation 3](#) — 2 Тфлопс^[15]

2.2.4.7 Человек и калькулятор

[Калькулятор](#) неслучайно попал в одну категорию вместе с человеком, поскольку, хотя он и является электронным устройством, содержащим процессор, память и устройства ввода/вывода, режим его работы кардинально отличается от режима работы компьютера. Калькулятор выполняет одну операцию за другой с той скоростью, с какой их запрашивает человек-оператор. Время, проходящее между операциями, определяется возможностями человека и существенно превышает время, которое затрачивается непосредственно на вычисления. Можно сказать, что в среднем производительность обычного карманного калькулятора составляет 10 флопс.

Человек, пользуясь лишь ручкой и бумагой, выполняет операции с плавающей запятой очень медленно и, часто, с большой ошибкой. Говоря о производительности нашего вычислительного аппарата, придётся использовать такие единицы как миллифлопс и даже микрофлопс. Тем не менее, мозг человека в реальном времени может выполнять столь сложные операции как синтез и распознавание речи и образов, координацию в пространстве и множество других, недоступных пока даже самым мощным суперкомпьютерам

3 Классификация Архитектур процессоров

3.1 Архитектура фон Неймана

Архитектура фон Неймана ([англ. Von Neumann architecture](#)) — широко известный принцип совместного хранения [программ](#) и [данных](#) в [памяти компьютера](#). [Вычислительные системы](#) такого рода часто обозначают термином «[Машина фон Неймана](#)», однако, соответствие этих понятий не всегда однозначно. В общем случае, когда говорят об [архитектуре фон Неймана](#), подразумевают физическое отделение [процессорного](#) модуля от устройств хранения программ и данных.

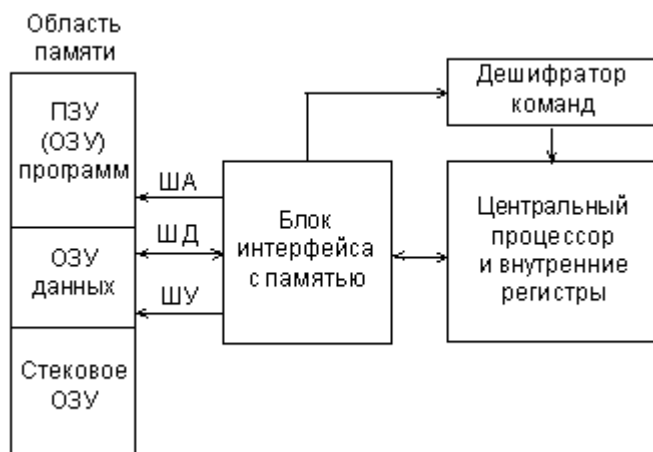


Рис.??. Структура МПС с фон-неймановской архитектурой

Наличие заданного набора исполняемых [команд](#) и программ было характерной чертой первых [компьютерных систем](#). Сегодня подобный дизайн применяют с целью упрощения конструкции [вычислительного устройства](#). Так, настольные [калькуляторы](#), в принципе, являются устройствами с фиксированным набором выполняемых программ. Их можно использовать для [математических](#) расчётов, но невозможно применить для обработки [текста](#) и [компьютерных игр](#), для просмотра графических [изображений](#) или [видео](#). Изменение встроенной программы для такого рода устройств требует практически полной их переделки, и в большинстве случаев невозможно. Впрочем, перепрограммирование ранних компьютерных систем всё-таки выполнялось, однако требовало огромного объёма ручной работы по подготовке новой [документации](#), перекоммутации и перестройки блоков и устройств и т. п.

Всё изменила идея хранения компьютерных программ в общей памяти. Ко времени её появления использование архитектур, основанных на [наборах исполняемых инструкций](#), и представление [вычислительного процесса](#) как процесса выполнения инструкций, записанных в программе, чрезвычайно увеличило гибкость вычислительных систем в плане обработки данных. Один и тот же подход к рассмотрению данных и инструкций сделал лёгкой задачей изменения самих программ.

3.1.1 Принципы фон Неймана

В [1946 году](#) группа учёных во главе с [Джоном фон Нейманом](#) ([Герман Голдстайн](#), [Артур Беркс](#)) опубликовали статью «Предварительное рассмотрение логической конструкции Электронно-вычислительного устройства». В статье обосновывалось использование двоичной системы для представления данных в ЭВМ (преимущественно для технической реализации, простота выполнения арифметических и логических операций. До этого машины хранили данные в десятичном виде)^[1], выдвигалась идея использования программами общей памяти. Имя фон Неймана было достаточно



широко известно в науке того времени, что отодвинуло на второй план его соавторов, и данные идеи получили название «Принципы фон Неймана».

1. **Принцип использования двоичной системы счисления для представления данных и команд.**
2. **Принцип программного управления.**
 - Программа состоит из набора команд, которые выполняются процессором друг за другом в определенной последовательности.
3. **Принцип однородности памяти.**
 - Как программы (команды), так и данные хранятся в одной и той же памяти (и кодируются в одной и той же системе счисления — чаще всего двоичной). Над командами можно выполнять такие же действия, как и над данными.
4. **Принцип адресуемости памяти.**
 - Структурно основная память состоит из пронумерованных ячеек; процессору в произвольный момент времени доступна любая ячейка.
5. **Принцип последовательного программного управления**
 - Все команды располагаются в памяти и выполняются последовательно, одна после завершения другой.
6. **Принцип условного перехода.**
 - Сам принцип был сформулирован задолго до фон Неймана Адой Лавлейз и Чарльзом Бебиджем, однако он добавлен в общую архитектуру.

Компьютеры, построенные на этих принципах, относят к типу фоннеймановских.

3.1.2 Компьютеры, построенные на принципах фон Неймана

В середине 1940-х проект компьютера, хранящего свои программы в общей памяти был разработан в Муровской школе электрических разработок (англ. The Moore School of Electrical Engineering) в Университете штата Пенсильвания (англ. The University of Pennsylvania). Подход, описанный в этом документе, стал известен как архитектура фон Неймана, по имени единственного из названных авторов проекта Джона фон Неймана, хотя на самом деле авторство проекта было коллективным. Архитектура фон Неймана решала проблемы, свойственные компьютеру «ЭНИАК», который создавался в то время, за счёт хранения программы компьютера в его собственной памяти. Информация о проекте стала доступна другим исследователям вскоре после того, как в 1946 году было объявлено о создании «Эниака». По плану предполагалось осуществить проект силами Муровской школы в машине EDVAC, однако до 1953 года EDVAC не был запущен из-за технических трудностей в создании надёжной компьютерной памяти. Другие научно-исследовательские институты, получившие копии проекта, сумели решить эти проблемы гораздо раньше группы разработчиков из Муровской школы и реализовали их в собственных компьютерных системах. Первыми 5 компьютерами, в которых были реализованы основные особенности архитектуры фон Неймана, были:

- «Манчестерский Марк I». Прототип («Манчестерское дитя») Университет Манчестера (англ. The University of Manchester) Великобритания, 21 июня 1948 года;
- EDSAC. Кембриджский университет (англ. The Cambridge University). Великобритания, 6 мая 1949 года;
- BINAC. США, апрель или август 1949 года;
- CSIR Mk 1. Австралия, ноябрь 1949 года;
- SEAC. США, 9 мая 1950 года.

3.2 Гарвардская Архитектура

Гарвардская архитектура — [архитектура ЭВМ](#), отличительным признаком которой является раздельное хранение и обработка команд и данных. Архитектура была разработана [Говардом Эйкеном](#) в конце [1930-х](#) годов в [Гарвардском университете](#).

Дело в том, что, судя по опыту использования МПС для управления различными объектами, для реализации большинства алгоритмов управления такие преимущества фон-неймановской архитектуры как гибкость и универсальность не имеют большого значения. Анализ реальных программ управления показал, что необходимый объем памяти данных МК, используемый для хранения промежуточных результатов, как правило, на порядок меньше требуемого объема памяти программ. В этих условиях использование единого адресного пространства приводило к увеличению формата команд за счет увеличения числа разрядов для адресации операндов. Применение отдельной небольшой по объему памяти данных способствовало сокращению длины команд и ускорению поиска информации в памяти данных.

Кроме того, гарвардская архитектура обеспечивает потенциально более высокую скорость выполнения программы по сравнению с фон-неймановской за счет возможности реализации параллельных операций. Выборка следующей команды может происходить одновременно с выполнением предыдущей, и нет необходимости останавливать процессор на время выборки команды. Этот метод реализации операций позволяет обеспечивать выполнение различных команд за одинаковое число тактов, что дает возможность более просто определить время выполнения циклов и критичных участков программы.

Большинство производителей современных 8-разрядных МК используют гарвардскую архитектуру. Однако гарвардская архитектура является недостаточно гибкой для реализации некоторых программных процедур. Поэтому сравнение МК, выполненных по разным архитектурам, следует проводить применительно к конкретному приложению.

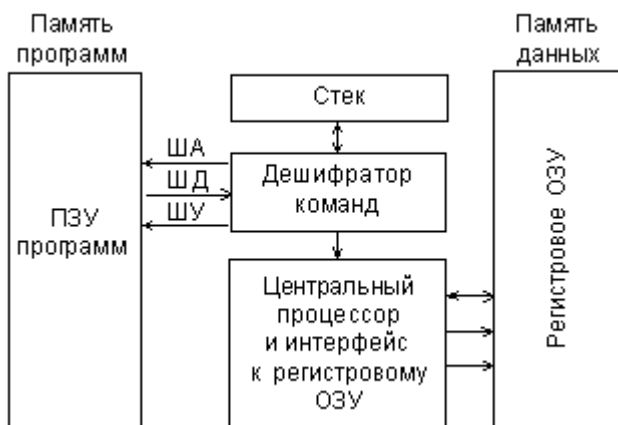


Рис. ???. Структура МПС с гарвардской архитектурой

3.2.1 История

В 30-х годах правительство США поручило Гарвардскому и Принстонскому университетам разработать архитектуру компьютера для военно-морской артиллерии. Победила разработка Принстонского университета (более известная как [архитектура фон Неймана](#), названная так по имени разработчика, первым предоставившего отчет об архитектуре), так как она была проще в реализации. Гарвардская архитектура не использовалась вплоть до конца 70-х годов. [\[источник не указан 104 дня\]](#)



3.2.2 Классическая гарвардская архитектура

Типичные операции ([сложение](#) и [умножение](#)) требуют от любого вычислительного устройства нескольких действий: выборку двух [операндов](#), выбор [инструкции](#) и её выполнение, и, наконец, сохранение [результата](#). Идея, реализованная Эйкенем, заключалась в физическом разделении линий передачи [команд](#) и [данных](#). В первом компьютере Эйкена «[Марк I](#)» для хранения инструкций использовалась [перфорированная лента](#), а для работы с данными — электромеханические [регистры](#). Это позволяло одновременно пересылать и обрабатывать команды и данные, благодаря чему значительно повышалось общее быстродействие.

3.2.3 Модифицированная гарвардская архитектура

Соответствующая схема реализации доступа к памяти имеет один очевидный недостаток — высокую стоимость. При разделении каналов передачи адреса и данных на [кристалле процессора](#) последний должен иметь почти в два раза больше [выводов](#) (т.к. шины адреса и данных составляют основную часть выводов микропроцессора). Способом решения этой проблемы стала идея использовать общую шину данных и шину адреса для всех внешних данных, а внутри процессора использовать шину данных, шину команд и две шины адреса. Такую концепцию стали называть **модифицированной Гарвардской архитектурой**.

Такой подход применяется в современных сигнальных процессорах. Еще дальше по пути удешевления стоимости пошли при создании однокристалльных ЭВМ — [микроконтроллеров](#). В них одна шина адреса и данных применяется и внутри кристалла.

Разделение шин в модифицированной Гарвардской структуре осуществляется при помощи отдельных управляющих сигналов: чтения, записи или выбора области памяти.

3.2.4 Расширенная гарвардская архитектура

Часто требуется выбрать три составляющие : два операнда и инструкцию (в алгоритмах цифровой обработки сигналов это наиболее распространенная задача в БПФ и КИХ, БИХ фильтрах). Для этого существует [кэш-память](#). В ней может храниться инструкция — следовательно, обе шины остаются свободными и появляется возможность передать два операнда одновременно. Использование кэш-памяти вместе с разделёнными шинами получило название «Super Harvard Architecture» («SHARC») — расширенная Гарвардская архитектура.

Примером могут служить процессоры «[Analog Devices](#)»: ADSP-21xx — модифицированная Гарвардская Архитектура, ADSP-21xxx(SHARC) — расширенная Гарвардская Архитектура.

3.2.5 Гибридные модификации с архитектурой фон-Неймана

Существуют гибридные модификации архитектур, сочетающие достоинства как Гарвардской, так и фон-Неймановской архитектур. Современные [CISC](#)-процессоры обладают отдельной кэш-памятью 1-го уровня для инструкций и данных, что позволяет им за один такт получать одновременно как команду, так и данные для её выполнения, то есть процессорное ядро, формально, является гарвардским, но с программной точки зрения выглядит как фон-Неймановское, что упрощает написание программ. Обычно в данных процессорах одна шина используется и для передачи команд, и для передачи данных, что упрощает конструкцию системы. Современные варианты таких процессоров могут иногда содержать встроенные контроллеры сразу нескольких разнотипных шин для работы с различными типами памяти — например, DDR RAM и Flash. Тем не менее, и в этом случае шины, как правило, используются и для передачи команд, и для передачи данных без деления, что делает данные процессоры еще более близкими к фон-Неймановской архитектуре при сохранении плюсов Гарвардской архитектуры.



3.2.6 Использование

Первым компьютером, в котором была использована идея гарвардской архитектуры, был [Марк I](#). Гарвардская архитектура используется в [ЦЛК](#) и [микроконтроллерах](#), таких, как [Atmel AVR](#), [Intel 4004](#), [Intel 8051](#).

В Intel(фон-Неймановская)-архитектуре:

"+", "-" - 3 такта
знаковые "+", "-" - 4 такта
"*, ":" - 5 тактов
знаковые ":", "*" - 6 тактов

В Гарвардской архитек-ре:

"+", "-" - 2 такта
знаковые "+", "-" - 3 такта
"*, ":" - 3 такта
знаковые ":", "*" - 4 такта

Для примера: вот такая операция $z=a+b*c$ в микропроцессоре фон-неймановской архитектуры выполниться за 8-10 тактов, а в микропроцессоре гарвардской архитектуры - за 4-5 тактов.

3.3 CISC

Аббревиатура **CISC** означает Complete Instruction Set Computer – компьютер со сложным (полным) набором команд. Несмотря на то, что первый CISC-процессор был разработан компанией IBM (она до сих пор их использует в мейнфреймах типа IBM ES/9000), лидером производства считается компания Intel (начиная с I8080, 8085, 8086 и т.д.)

CISC отличается малым количеством регистров общего назначения-в Intel –только один регистр-А (аккумулятор) с которым можно выполнять арифметические операции, большим количеством машинных команд (откуда следует и название). Это приводит к усложнению декодирования инструкций, что в свою очередь приводит к расходованию аппаратных ресурсов. Слабость CISC архитектуры заключается в том, что 80 процентов вычислений процессора приходилось на 20 процентов команд. Хотя в RISC процессорах как раз и используются только 20 процентов этих команд, но им требуется сложное программное обеспечение.

3.4 RISC

RISC ([англ.](#) *Reduced Instruction Set Computer*; неправильно — *Reduced Instruction Set Computing*) — вычисления с сокращённым [набором команд](#).

Это концепция проектирования [процессоров](#) (ЦПУ), которая во главу ставит следующий принцип: более компактные и простые инструкции выполняются быстрее. Простая архитектура позволяет удешевить процессор, поднять [тактыую частоту](#), а также распараллелить исполнение команд между несколькими блоками исполнения (т. н. суперскалярные архитектуры процессоров). Многие ранние RISC-процессоры даже не имели команд умножения и деления. Идея создания RISC процессоров пришла после того, как в 1970-х годах ученые из [IBM](#) обнаружили, что многие из функциональных особенностей традиционных ЦПУ игнорировались [программистами](#). Отчасти это был побочный эффект сложности [компиляторов](#). В то время компиляторы могли использовать лишь часть из набора команд процессора. Следующее открытие заключалось в том, что, поскольку некоторые сложные операции использовались редко, они как правило были медленнее, чем те же действия, выполняемые



набором простых команд. Это происходило из-за того, что создатели процессоров тратили гораздо меньше времени на улучшение сложных команд, чем на улучшение простых.

Первые RISC-процессоры были разработаны в начале 1980-х годов в Стэнфордском и Калифорнийском университетах [США](#). Они выполняли небольшой (50–100) набор команд, тогда как обычные [CISC](#) (Complex Instruction Set Computer) выполняли 100—200.

Характерные особенности RISC-процессоров:

- Фиксированная длина машинных инструкций (например, 32 бита) и простой формат команды.
- Специализированные команды для операций с памятью — чтения или записи. Операции вида «прочитать-изменить-записать» отсутствуют. Любые операции «изменить» выполняются только над содержимым регистров (т. н. load-and-store архитектура).
- Большое количество регистров общего назначения (32 и более).
- Отсутствие поддержки операций вида «изменить» над укороченными типами данных — байт, 16-битное слово. Так, например, система команд [DEC Alpha](#) содержала только операции над 64-битными словами, и требовала разработки и последующего вызова процедур для выполнения операций над байтами, 16- и 32-битными словами.
- Отсутствие микропрограмм внутри самого процессора. То, что в CISC процессоре исполняется микропрограммами, в RISC процессоре исполняется как обыкновенный (хотя и помещенный в специальное хранилище) машинный код, не отличающийся принципиально от кода ядра ОС и приложений. Так, например, обработка отказов страниц в DEC Alpha и интерпретация таблиц страниц содержалась в так называемом PALCode (Privileged Architecture Library), помещенном в ПЗУ. Заменой PALCode можно было превратить процессор Alpha из 64-битного в 32-битный, а также изменить порядок байт в слове и формат входов таблиц страниц виртуальной памяти.

Характеристика	CISC	RISC
Длина инструкции	Произвольная, в зависимости от характера инструкции	Фиксированная, вне зависимости от характера инструкции
Набор инструкций	Широкий, адаптированный для удобства программиста	Сбалансированный, адаптированный для удобства выполнения процессором
Доступ к памяти	Разрешен для инструкций разного рода	Разрешен только для инструкций загрузки/сохранения

Иные архитектурные решения, типичные для RISC:

- Спекулятивное исполнение. При встрече с командой условного перехода процессор исполняет (или по крайней мере читает в кэш инструкций) сразу обе ветви, до тех пор, пока не окончится вычисление управляющего выражения перехода. Позволяет отказаться от простоев конвейера при условных переходах.
- Переименование регистров. Каждый регистр процессора на самом деле представляет собой несколько параллельных регистров, хранящих несколько версий значения. Используется для реализации спекулятивного исполнения.

Как оказалось в начале 1990-х годов, RISC-архитектуры позволяют получить большую производительность, чем CISC, за счет использования суперскалярного и VLIW подхода, а также за счет возможности серьезного повышения тактовой частоты DEC Alpha и за счет упрощения кристалла с высвобождением площади под [кеш-память](#), могущую достигнуть огромных размеров. Также RISC-



архитектуры позволили сильно снизить энергопотребление процессора за счет уменьшения числа транзисторов (ARM).

Первое время RISC-архитектуры с трудом принимались рынком из-за отсутствия программного обеспечения для них. Эта проблема была быстро решена переносом [UNIX-подобных операционных систем \(SunOS\)](#) на RISC архитектуры.

В настоящее время многие архитектуры процессоров являются RISC-подобными, к примеру, [ARM](#), DEC Alpha, [SPARC](#), [AVR](#), [MIPS](#), [POWER](#) и [PowerPC](#). Наиболее широко используемые в настольных компьютерах процессоры архитектуры [x86](#) ранее являлись CISC-процессорами, однако новые процессоры, начиная с Intel486DX, являются CISC-процессорами с RISC-ядром. Они непосредственно перед исполнением преобразуют CISC-инструкции x86-процессоров в более простой набор внутренних инструкций RISC.

С отказом компаний Apple и Sun от использования серии CISC-процессоров Motorola 68xxx (в пользу PowerPC у Apple и в пользу SPARC у Sun), приведшем к фактическому прекращению производства серии, а также с переводом внутренней архитектуры серии x86 на суперскалярную RISC-архитектуру, подавляющее большинство существующих процессоров используют архитектуру RISC. Позже Apple перешла на x86-архитектуру, внешне являющуюся CISC. Также, такие архитектуры, как MIPS и DEC Alpha, прекратили своё существование. ^{[1][2]}

3.5 MISC процессоры (архитектура)

Minimum Instruction Set Computer — вычисления с минимальным набором команд. Дальнейшее развитие идей команды Чака Мура, который полагает, что принцип простоты, изначальный для RISC-процессоров, слишком быстро отошёл на задний план. В пылу борьбы за максимальное быстродействие, RISC догнал и перегнал многие CISC процессоры по сложности. Архитектура MISC строится на [стековой вычислительной модели](#) с ограниченным числом команд (примерно 20-30 команд).

3.6 Введение КЕШ памяти

L1-на каждом ядре, L2- общая для ядер раньше была на пралате процессора, сейчас на кристалле МП,, L3-дополнительная медленная

Кэширование — это использование дополнительной быстродействующей памяти ([кеш-памяти](#)) для хранения копий блоков информации из основной (оперативной) памяти, вероятность обращения к которым в ближайшее время велика.

Различают кэши 1-, 2- и 3-го уровней (обозначаются L1, L2 и L3 — от Level 1, Level 2 и Level 3). Кэш 1-го уровня имеет наименьшую латентность (время доступа), но малый размер, кроме того, кэши первого уровня часто делаются многопортовыми. Так, процессоры AMD K8 умели производить одновременно 64-битные запись и чтение, либо два 64-битных чтения за такт, AMD K8L может производить два 128-битных чтения или записи в любой комбинации. Процессоры Intel Core 2 могут производить 128-битные запись и чтение за такт. Кэш 2-го уровня обычно имеет значительно большую латентность доступа, но его можно сделать значительно больше по размеру. Кэш 3-го уровня самый большой по объёму и довольно медленный, но всё же он гораздо быстрее, чем оперативная память.



3.7 Конвейер

Конвейерный подход. Процессор, выполняющий каждую команду за четыре такта (выбор команды, декодирование и выбор операндов, исполнение, запись результата) обеспечивает работой исполнительное устройство только в такте «исполнение». Для увеличения столь низкой (25 %) эффективности используется конвейерная организация: такты последовательно выбираемых команд совмещаются во времени так, что в каждый период одна из команд обязательно находится на этапе «исполнение», загружая исполнительное устройство. Для организации конвейера требуется дополнительная аппаратура, но выигрыш в производительности это оправдывает. Правда, реализация глубокого конвейера дает неприятные побочные эффекты.

3.8 Суперскалярные архитектуры

- [Суперскалярные архитектуры](#) (первоначально Sun SPARC, начиная с Pentium использованы в семействе x86). Распараллеливание исполнения команд между несколькими устройствами исполнения, причем решение о параллельном исполнении двух или более команд принимается аппаратурой процессора на этапе исполнения. Эффективное использование такой архитектуры требует специальной оптимизации машинного кода в компиляторе для генерации пар независимых (результат одной не является входом другой) команд.

Суперскалярность -Способность выполнения нескольких машинных инструкций за один такт процессора. Появление этой технологии привело к существенному увеличению производительности.

Суперскалярность — [архитектура](#) вычислительного ядра, использующая несколько декодеров [команд](#), которые могут нагружать работой множество [исполнительных блоков](#). Планирование исполнения потока команд является динамическим и осуществляется самим вычислительным ядром.

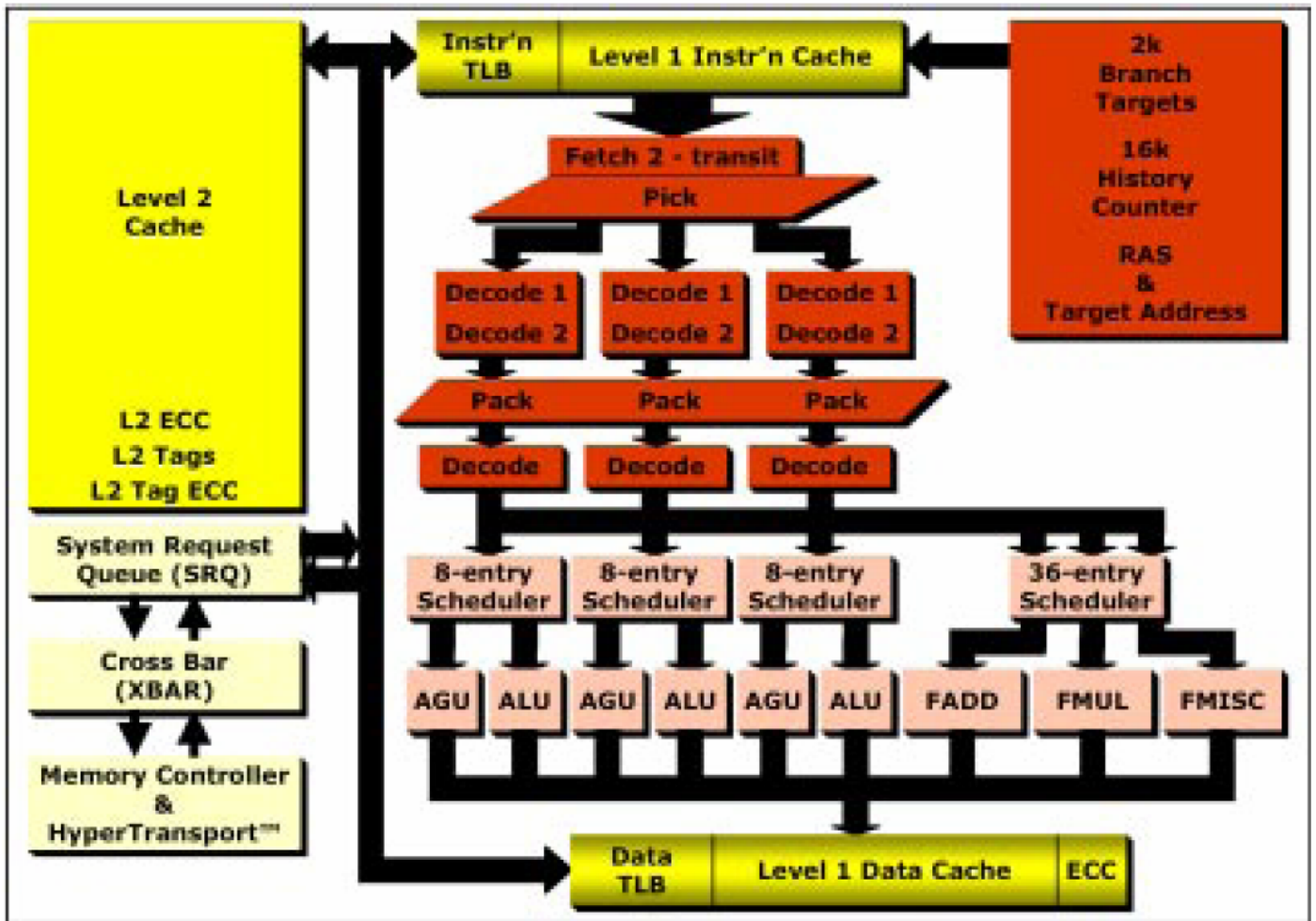
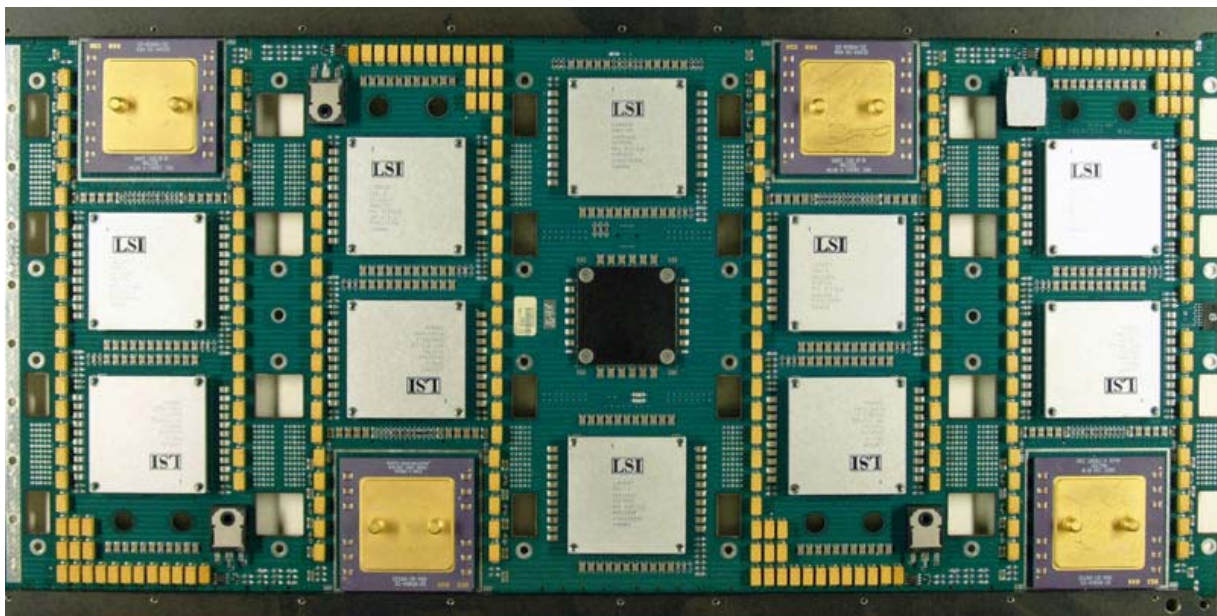


Рисунок ?- Структура МП Opteron фирмы AMD



Плата CRAY T3E-136/ac

Если в процессе работы команды, обрабатываемые конвейером, не противоречат друг другу, и одна не зависит от результата другой, то такое устройство может осуществить параллельное выполнение команд. В суперкалярных системах решение о запуске инструкции на исполнение принимает сам



вычислительный модуль, что требует много ресурсов. В более поздних системах, таких как [Эльбрус-3](#) и [Itanium](#), используется статпланирование, то есть параллельные инструкции объединяются компилятором в длинную команду, в которой все инструкции заведомо параллельные (архитектура [VLIW](#)).

Исторически, первым суперскалярным процессором обладал компьютер [CDC 6600 \(англ.\)](#) (1964).^[1] Мнение, о приоритете в этом вопросе советских ЭВМ «[Эльбрус](#)» (1978), распространяемое с подачи [Б.А. Бабаяна](#), не соответствует действительности.^[2]

[Процессоры](#), поддерживающие суперскалярность:

- [Pentium](#), [AMD Duron](#), [AMD ATHLON](#) и другие более поздние процессоры с архитектурой [x86](#)
- Последние процессоры с архитектурами [SPARC](#), [ARM](#), [MIPS](#)
- [Эльбрус-1,2](#)

3.9 VLIW-архитектура

Архитектуры [VLIW](#) (Very Long Instruction Word — Очень Длинное Слово Команды). Отличаются от суперскалярной архитектуры тем, что решение о распараллеливании принимается не аппаратурой на этапе исполнения, а компилятором на этапе генерации кода. Команды очень длинные, и содержат явные инструкции по распараллеливанию нескольких субкоманд на несколько устройств исполнения. Элементы архитектуры содержались в серии [PA-RISC](#). VLIW-процессором в его классическом виде является [Itanium](#) (и его аналог Эльбрус3), долгое время бывший самым мощным процессором в мире. Разработка эффективного компилятора для VLIW является сложнейшей задачей, решить которую не получалось долгое время. Преимущество VLIW перед суперскалярной архитектурой — компилятор является более сложной и «умной», чем устройства управления процессора, системой, способной хранить больше контекстной информации и принимать более верные решения об оптимизации.

Данная архитектура характеризуется тем, что содержит команды, каждая из которых задает одновременное выполнение нескольких операций на различных функциональных узлах процессора. При этом поиск операций, одновременное выполнение которых можно задать с помощью одной команды, возлагается на компилятор, а не реализуется аппаратно, как в динамических суперскалярных процессорах. VLIW-архитектура позволяет существенно упростить блоки управления процессора и достичь производительности, сравнимой с производительностью динамических суперскалярных процессоров. Исследования показывают, что VLIW DSP (TMS320C6x фирмы Texas Instruments) выполняет мультимедийные задачи в 0,63 – 9 раз быстрее, чем суперскалярный процессор Pentium II без μ SIMD-расширения на той же тактовой частоте [6]. Вместе с тем, динамические суперскалярные процессоры с μ SIMD-расширением имеют в среднем на 64 % выше производительность на мультимедийных приложениях, чем VLIW-процессоры [10]. Это объясняется тем, что современные компиляторы не способны обеспечить параллелизма уровне команд и данных на том же уровне, что и динамические суперскалярные процессоры. Кроме того, наличие большого количества функциональных узлов, работающих одновременно, предполагает использование большого многопортового регистрового файла, который занимает много места на кристалле, ограничивает быстродействие процессора и заметно увеличивает его потребляемую мощность. Поэтому по аппаратным затратам высокопроизводительные VLIW-процессоры сравнимы с суперскалярными процессорами. В настоящее время микропроцессоры и DSP с VLIW-архитектурой широко используются для встроенных применений, поскольку для решения конкретной задачи можно разработать свой VLIW-процессор, использующий необходимое число функциональных вычислительных узлов и узлов ввода/вывода, и тем самым обеспечить необходимую производительность при заданных ограничениях на потребляемую мощность. Однако для разных приложений требуются VLIW-процессоры с различным составом функциональных узлов, что затрудняет эффективное использование одного и того же VLIW-процессора для решения широкого класса задач.



3.10 Поточковая архитектура

Специально для решения мультимедийных приложений была предложена архитектура потокового процессора (Stream Processor). Данный процессор содержит управляющий RISC-процессор, 8 кластеров, каждый из которых состоит из набора функциональных устройств и локальных регистров, большого потокового регистрового файла и нескольких каналов ввода/вывода для работы с внешней памятью. Обмен между кластерами, а также между конкретным кластером и памятью осуществляется только через потоковый регистровый файл. Считается, что введение такого регистрового файла в качестве дополнительного уровня иерархии памяти способно значительно снизить требования к пропускной способности внешней памяти. Управление осуществляется SIMD-командами, способными задать одновременное выполнение до 48 арифметических операций во всех кластерах. Программирование осуществляется на языке высокого уровня, после чего компилятор в программе выделяет куски программного кода, содержащие однородную обработку данных — так называемые потоки (streams), которые затем выполняются на отдельных кластерах. На частоте 180 МГц такой процессор достиг производительности 2,8 – 6,2 млрд операций в секунду на реальных мультимедийных задачах, обойдя на порядок Pentium 4 по показателю производительность/потребляемая мощность. Основной проблемой для потокового процессора является отсутствие компиляторных технологий, способных эффективно задействовать его вычислительные ресурсы. В настоящее время для написания программ используется специальное расширение языка Си.

3.11 Векторно-конвейерная архитектура

До недавнего времени процессора с векторно-конвейерной архитектурой использовались в суперкомпьютерах для решения больших научных задач. После того, как было обнаружено, что мультимедийные приложения хорошо векторизуются, было предложено использовать данный тип процессоров для решения этого класса задач. Представителями таких процессоров являются VIRAM университета в Беркли [11] и EVP (Embedded Vector Processor) фирмы Philips [3]. Считается, что по сравнению с процессорами других архитектур векторно-конвейерные процессоры могут наиболее эффективно решать мультимедийные задачи [1, 3, 4, 12]. Это объясняется тем, что для указанных процессоров уже существуют большие наработки в области компиляторов, а также тем, что они могут обеспечить требуемую производительность при небольшом потреблении питания. Так, VIRAM в 2 раза быстрее 4-way динамического суперскалярного процессора, работающего на частоте в 5 раз больше и потребляющего на порядок больше электроэнергии [11]. Это достигается тем, что векторноконвейерные процессора более приспособлены решать задачи с высокой степенью параллелизма по данным, чем универсальные вычислители. Несмотря на то, что первые запускают на выполнение одну команду за такт, благодаря использованию многотактовых векторных команд одновременно может выполняться большое количество операций на множестве функциональных устройств либо независимо, либо с «зацеплением», когда результат одной команды нужен для второй. При этом управляющая логика оказывается гораздо проще, чем у суперскалярных процессоров, что позволяет наращивать производительность векторно-конвейерных процессоров за счет использования большего числа функциональных устройств без уменьшения тактовой частоты и практически без потери эффективности использования аппаратуры.

3.12 Параллельные архитектуры SIMD/MIMD

Классификация по Флинну

	Одиночный поток команд (Single Instruction)	Множество потоков команд (Multiple Instruction)
Одиночный поток данных (Single Data)	<u>SISD</u>	<u>MISD</u>
Множество потоков данных (Multiple Data)	<u>SIMD</u>	<u>MIMD</u>



SIMD ([англ.](#) Single Instruction, Multiple Data) — принцип компьютерных вычислений, позволяющий обеспечить параллелизм на уровне данных.

SIMD компьютеры состоят из одного командного процессора (управляющего модуля), называемого контроллером, и нескольких модулей обработки данных, называемых процессорными элементами. Управляющий модуль принимает, анализирует и выполняет команды. Если в команде встречаются данные, контроллер рассылает на все процессорные элементы команду, и эта команда выполняется на нескольких или на всех процессорных элементах. Каждый процессорный элемент имеет свою собственную память для хранения данных. Одним из преимуществ данной архитектуры считается то, что в этом случае более эффективно реализована логика вычислений. До половины логических инструкций обычного процессора связано с управлением выполнением машинных команд, а остальная их часть относится к работе с внутренней памятью процессора и выполнению арифметических операций. В SIMD компьютере управление выполняется контроллером, а "арифметика" отдана процессорным элементам.

SIMD процессоры называются также векторными.

3.12.1 SIMD-расширения, используемые в процессорах архитектуры [x86](#)

- [MMX](#) — Multimedia Extensions. Коммерческое название дополнительного набора инструкций, выполняющих характерные для процессов кодирования/декодирования потоковых аудио/видео данных действия за одну машинную инструкцию. Впервые появился в процессорах [Pentium MMX](#).
- [MMX Extended](#) — расширенный набор инструкций [MMX](#), используемый в процессорах [AMD](#) и [Cyrix](#).
- [3DNow!](#) — расширение набора команд MMX процессоров [AMD](#), начиная с [AMD K6-2](#).
- [3DNow! Extended](#) — расширение набора команд 3DNow! процессоров [AMD](#), начиная с [AMD Athlon](#).
- [SSE](#) — набор инструкций, разработанный [Intel](#), и впервые представленный в процессорах серии [Pentium III](#) как ответ на аналогичный набор инструкций [3DNow!](#) от [AMD](#), который был представлен годом раньше. [SSE2](#), [SSE3](#), [SSE4](#) (у Nehalem)
- [SSE2](#) — набор инструкций, разработанный [Intel](#), и впервые представленный в процессорах серии [Pentium 4](#).
- [SSE3](#) — третья версия SIMD-расширения [Intel](#), потомок SSE, SSE2 и x87. Представлен [2 февраля 2004 года](#) в ядре [Prescott](#) процессора [Pentium 4](#).
- [SSSE3](#) — набор SIMD-инструкций, используемый в процессорах [Intel Core 2 Duo](#).
- [SSE4](#) — новая версия SIMD-расширения [Intel](#). Анонсирован [27 сентября 2006 года](#). Представлен в [2007 году](#) процессорах серии [Penryn](#).
- [AVX](#) — анонсированная версия SIMD-расширения [Intel](#), которая будет представлена в [2010 году](#) в процессорах архитектуры [Sandy Bridge](#).

3.13 CUDA

CUDA ([англ.](#) Compute Unified Device Architecture) — технология [GPGPU](#) ([англ.](#) General-Purpose computing on Graphics Processing Units), позволяющая программистам реализовывать на [языке программирования Си](#) алгоритмы, выполнимые на [графических процессорах](#) ускорителей [GeForce](#) восьмого поколения и старше ([GeForce 8 Series](#), [GeForce 9 Series](#), [GeForce 200 Series](#)), [Nvidia Quadro](#) и [Tesla](#) компании [Nvidia](#). Технология CUDA разработана компанией [nVidia](#).



Установленные в десктопный ПК графические вычислители могут предоставлять мощности до **4 терафлоп** на каждом индивидуальном рабочем месте. Примером графических адаптеров для построения [персональных суперкомпьютеров](#) являются вычислители [NVIDIA Tesla](#).

Технология CUDA - это среда разработки на [Си](#), которая позволяет программистам и разработчикам писать программное обеспечение для решения сложных вычислительных задач за меньшее время благодаря многоядерной вычислительной мощности графических процессоров. Проще говоря, графическая подсистема [компьютера](#) с поддержкой CUDA может быть использована, как вычислительная.

CUDA даёт разработчику возможность по своему усмотрению организовывать доступ к набору инструкций графического ускорителя и управлять его памятью, организовывать на нём сложные [параллельные вычисления](#). Графический ускоритель с поддержкой CUDA становится мощной программируемой открытой архитектурой подобно сегодняшним [центральному процессорам](#).

Всё это предоставляет в распоряжение разработчика низкоуровневый, распределяемый и высокоскоростной доступ к оборудованию, делая CUDA необходимой основой при построении серьёзных высокоуровневых инструментов, таких как компиляторы, отладчики, математические библиотеки, программные платформы.

Использует grid-модель памяти, кластерное моделирование потоков и [SIMD](#) инструкции. Применим в основном для высокопроизводительных графических вычислений и разработок NVIDIA-совместимого графического API. Включена возможность подключения к приложениям, использующим [Microsoft Direct3D 9](#) и [OpenGL](#). Создан в версиях для [Linux](#) и [Windows](#).

Первоначальная версия CUDA [SDK](#) была представлена [15 февраля 2007 года](#). В основе CUDA API лежит расширенный язык Си. Для успешной трансляции кода на этом языке, в состав CUDA SDK входит собственный Си-компилятор командной строки **nvcc** компании Nvidia. Компилятор **nvcc** создан на основе открытого компилятора [Open64](#) и предназначен для трансляции host-кода (главного, управляющего кода) и device-кода (аппаратного кода) (файлов с расширением `.cu`) в объектные файлы, пригодные в процессе сборки конечной программы или библиотеки в любой среде программирования, например в Microsoft Visual Studio.

3.13.1 Оборудование

Первая серия оборудования, поддерживающая CUDA SDK, G8x, имела 32-битный [векторный процессор одинарной точности](#), использующий CUDA SDK как API (CUDA поддерживает тип `double` языка Си, однако сейчас его точность понижена до 32-битного с [плавающей запятой](#)). Более поздние процессоры GT200 имеют поддержку 64-битной точности (только для SFU), но производительность значительно хуже чем для 32-битной точности (из-за того что SFU всего 2 на каждый потоковый мультипроцессор, а скалярных процессоров 8). Графический процессор организует аппаратную многопоточность, что имеет огромное значение в специфических приложениях обработки данных. Таким образом, открывается перспектива переложить функции [физического ускорителя](#) на графический ускоритель (пример реализации — [nVidia PhysX](#)). Также открываются широкие возможности использования графического оборудования компьютера для выполнения сложных неграфических вычислений: например, в [вычислительной биологии](#) и в иных отраслях науки.

3.13.2 Преимущества

По сравнению с традиционным подходом к организации вычислений общего назначения посредством возможностей графических API, у архитектуры CUDA отмечают следующие преимущества в этой области:



- Интерфейс программирования приложений CUDA (CUDA API) основан на стандартном языке программирования Си с небольшими расширениями. По мнению разработчиков, это должно упростить и сгладить процесс изучения архитектуры CUDA ^[1]
- Разделяемая между потоками память (shared memory) размером в 16 Кб может быть использована под организованный пользователем кэш с более широкой полосой пропускания, чем при выборке из обычных текстур
- Более эффективные транзакции между памятью центрального процессора и видеопамятью
- Полная аппаратная поддержка целочисленных и побитовых операций

3.13.3 Ограничения

- Все функции, выполнимые на устройстве, не поддерживают рекурсии
- Минимальная ширина блока составляет 32 потока
- Архитектуру CUDA поддерживает и развивает только производитель NVidia

3.14 Технология (шина) HYPERTRANSPORT

Шина HyperTransport (HT), ранее известная как **Lightning Data Transport (LDT)**, — это двунаправленная последовательно/параллельная компьютерная шина, с высокой пропускной способностью и малыми задержками. Для разработки и продвижения данной шины был образован консорциум *HyperTransport Technology*. Технология используется компаниями [AMD](#) и [Transmeta](#) в [x86](#)-процессорах; [PMC-Sierra](#), [Broadcom](#) и [Raza Microelectronics](#) — в процессорах [MIPS](#); [nVidia](#), [VIA](#), [SiS](#), [ULi/ALi](#), [AMD](#), [Apple Computer](#) и [HP](#) — в наборах системной логики для [ПК](#); [HP](#), [Sun Microsystems](#), [IBM](#) и [iWill](#) — в [серверах](#); [Cray](#), [Newisys](#) и [PathScale](#) — в [суперкомпьютерах](#), а также компанией [Cisco Systems](#) — в [маршрутизаторах](#).

HyperTransport работает на частотах от 200 МГц до 3,2 ГГц (у шины [PCI](#) — 33 и 66 МГц). Кроме того, она использует DDR, что означает, что данные посылаются как по переднему, так и по заднему фронтам сигнала синхронизации, что позволяет осуществлять до 5200 миллионов посылок в секунду при частоте сигнала синхронизации 2,6 ГГц; частота сигнала синхронизации настраивается автоматически.

HyperTransport поддерживает автоматическое определение ширины шины, от 2-х до 32 бит. Полноразмерная, полноскоростная, 32-битная шина в двунаправленном режиме способна обеспечить пропускную способность до $41\,600 \text{ Мбайт/с} = 2 \text{ (DDR)} \times 2 \times 32/8 \text{ (байт)} \times 2600 \text{ (МГц)}$ (максимум в одном направлении — 20 800 Мбайт/с), являясь, таким образом, самой быстрой шиной среди себе подобных. Шина может быть использована как в подсистемах с высокими требованиями к пропускной способности ([оперативная память](#) и [ЦПУ](#)), так и в подсистемах с низкими требованиями (периферийные устройства)

Для связи между ядрами МП и в качестве внешней шины МП начали применять шину RAPIDIO.

4 ИСТОРИЯ развития процессоров

4.1 DEC

Долгое время центральные процессоры создавались из отдельных микросхем малой и средней интеграции, содержащих от нескольких единиц до нескольких сотен транзисторов. (см файлы PDP11, DEC, ЕСЭВМ, IBM, СМ-ЭВМ, АСВТ, VAX)

Digital Equipment Corporation (сокращенно **DEC**), основанная в 1957 двумя инженерами, Кеннетом Ольсеном (Kenneth Olsen) и Харланом Андерсоном (Harlan Anderson), выпускниками Массачусетского технологического института, была одной из старейших и наиболее значимых компаний мировой



компьютерной индустрии.

До основания компании, Ольсен работал в Линкольнской лаборатории при том же институте, содержащейся на средства Министерства обороны США, и участвовал в разработке одного из первых транзисторных компьютеров, **TX-2**. Первое время компания разрабатывала и продавала элементарные модули для вычислительной техники, но уже в 1960 представила свой первый компьютер, 18-битный **PDP-1** (Programmable Data Processor - 1), способный производить около 100 тыс. операций в секунду; кроме всего прочего, именно на нем была написана **первая в истории компьютерная игра**, Spacewar Стивена Рассела (Steven Russell). 12-битный **PDP-8**, запущенный в производство в 1964, вполне заслуженно считают первым серийно выпускаемым "миникомпьютером", из-за довольно компактных размеров (с небольшой шкаф) и невысокой, по тем временам, цены (около 18 тыс. долл. США (1965) в базовой комплектации); благодаря отличному соотношению цены и производительности, этот компьютер смог составить достойную конкуренцию знаменитым мэйнфрэймам IBM, и к 1968 было собрано около 1450 машин (не считая поздних многочисленных модификаций). В том же 1968 был представлен 36-битный **PDP-10**, основанный на дизайне экспериментального **PDP-6**, рассчитанный на использование в центрах обработки данных, исследовательских лабораториях, и в военных целях; модификации PDP-10 производились вплоть до 1983. Работы над усовершенствованием 36-битной архитектуры продолжались в рамках **проекта "Единорог"** (the Unicorn project), под руководством Леонарда Хьюджеса (Leonard Hughes) и Дэвида Роджерса (David Rogers), но в июне 1975 проект был закрыт, и все ресурсы были переведены на поддержку другой, 32-битной, архитектуры.

16-битный **PDP-11**, запущенный в производство в начале 1970-х, был первым компьютером DEC, в котором использовались **8-битные байты**, и прямым наследником линейки PDP-8. Благодаря простой и удачной архитектуре, основанной на системной шине Unibus (или её модификации, Q-bus), довольно эффективному набору инструкций, и, что немаловажно, невысокой стоимости, линейка PDP-11 очень быстро обрела популярность. Вполне закономерно, что PDP-11 вскоре стали широко клонировать, в том числе и в "странах народной демократии": СМ-4 (СССР, Болгария, Венгрия), СМ-1420 (СССР, Болгария, ГДР), СМ-1600 (СССР), ИЗОТ-1016 (Болгария), ДБК (СССР). Для PDP-11 было разработано множество операционных систем: DEC предлагала P/OS, RSX-11, RT-11, RSTS/E, также было доступно несколько вариантов DOS, и в конце-концов, на PDP-7 и PDP-11 в 1971 было сделано **первое издание ОС UNIX** (в Bell Laboratories), тогда ещё на ассемблере. PDP-11 ушел с рынка в течение 1980-х по одной, но неизбежной причине: недостаточный объем адресного пространства, знаменовавший переход на новую, 32-битную, но все ещё CISC, архитектуру.

И ей стала **VAX** (Virtual Address eXtension), официально утвержденная на заседании VAX Architecture Committee в апреле 1975. Детали архитектуры разрабатывались в течение нескольких месяцев в рамках **проекта "Звезда"** (the Star project) под руководством Гордона Белла (Gordon Bell), параллельно с вышеупомянутым проектом "Единорог", и по окончании работ над обоими проектами было решено отменить дальнейшее развитие 36-битных систем, и сконцентрировать ресурсы на поддержке 32-битных VAX'ов. Фактическим результатом работы проекта "Звезда" было обоснование необходимости как увеличения разрядности основных регистров PDP-11 до 32 бит, так и их числа (с 8 до 16), а также существенный пересмотр набора инструкций. В октябре 1977 был анонсирован первый представитель линейки -- модель **11/780**, а в феврале 1978 была выпущена новая операционная система для VAX'ов, **VMS** (Virtual Memory System) версии 1.0; к слову, новая ОС, многопользовательская и многозадачная, поддерживала до 64Мб оперативной памяти, встроенные сетевые возможности (DECnet), адаптивный планировщик задач, расширенное управление процессами, и многие другие функции, значительно опередившие свое время. В апреле 1980 вышла версия 2.0, с многочисленными улучшениями, переименованная в **VAX/VMS**. На VAX также была вскоре портирована классическая UNIX. VAX'ы выпускались и продавались с большим успехом в течение 1980-х, и даже на рубеже веков поставлялись ограниченными партиями по спецзаказам. Модельный ряд насчитывал несколько десятков наименований: от довольно компактных рабочих станций до **6-процессорных** серверов мэйнфрэйм-класса. И по сей день тысячи VAX'ов работают в структуре Министерства обороны США и NSA (National Security Agency), а также во многих



коммерческих организациях. Но тем не менее, эпоха VAX'ов осталась в 1980-х, а в 1990-х DEC сделала ставку на новую архитектуру.

В начале 1980-х DEC была на вершине финансового могущества, в значительной мере благодаря стабильно растущим объемам поставок VAX'ов. Однако ничто не вечно, и было очевидно, что в своё время и VAX придется уйти с рынка, как это уже происходило с PDP-11. В то время многие компании начали обращать внимание на перспективные разработки в среде RISC, и DEC явно не желала остаться в стороне. С 1982 по 1985 в составе компании активно работали несколько подразделений, занимавшихся исследованиями в области RISC:

- ♦ **Titan**, высокоскоростной дизайн от Западной исследовательской лаборатории (Western Research Laboratory, DECwest) в Пало-Альто (Калифорния), под руководством Фореста Бэкетта (Forest Baskett), с 1982;
- ♦ **SAFE** (Streamline Architecture for Fast Execution), под руководством Алана Котока (Alan Kotok) и Дэвида Орбита (David Orbits), с 1983;
- ♦ **HR-32** (Hudson RISC 32-bit), при фабрике DEC в Хадсоне (Массачусетс), под руководством Ричарда Витека (Richard Witek) и Дэниела Добберпуля (Daniel Dobberpuhl), с 1984;
- ♦ **CASCADE** Дэвида Катлера (David Cutler) в Сиэтле (Вашингтон), с 1984.

В 1985, с подачи Катлера насчёт создания "корпоративного RISC-плана", все 4 проекта были объединены в один, **PRISM** (Parallel Instruction Set Machine), и совместными усилиями к августу 1985 была подготовлена первая спецификация на новый RISC-процессор. Стоит упомянуть, что к тому времени DEC уже принимала активное участие в разработке процессора **MIPS R3000** и даже инициировала создание консорциума Advanced Computing Environment для продвижения этой архитектуры на рынке.

Поэтому нет ничего удивительного в том, что разрабатываемый процессор унаследовал много черт, присущих архитектуре MIPS, но в то же время отличия были очевидны. Все инструкции имели **фиксированную длину** в 32 бита, из них верхние 6 и нижние 5 были собственно кодом инструкции, а остальные 21 предназначались для непосредственно данных либо их адресации. Были определены 64 основных 32-битных целочисленных регистра (MIPS предусматривала 32), а также 16 дополнительных 64-битных векторных регистров, и 3 контрольных регистра для векторных операций: два 7-битных (vector length и vector count), один 64-битный (vector mask). Регистр состояния процессора отсутствовал, поэтому результат сравнения двух скалярных операндов помещался в целочисленный регистр, а результат сравнения двух векторных операндов -- в vector mask. Встроенный блок вычислений с плавающей запятой не предусматривался. Также присутствовал набор **специальных инструкций** (Epicode, или extended processor instruction code), реализованных программно посредством загружаемого микрокода, для облегчения решения специальных задач, присущих определённой среде или операционной системе, и не предусмотренных стандартным набором команд; впоследствии, эта функция была реализована в архитектуре Alpha под названием **PALcode** (Privileged Architecture Library code).

К 1988 проект был всё ещё в стадии разработки, когда высший менеджмент DEC закрыл его, посчитав дальнейшее финансирование нецелесообразным. Протестуя против этого, Катлер уволился и ушёл в Microsoft, где возглавил подразделение по разработке Windows NT.

В начале 1989 DEC представила свои первые рабочие станции с RISC-процессорами, DECstation 3100 на основе 32-битного **MIPS R2000** с частотой в 16МГц, и DECstation 2100 на основе того же процессора, но с частотой в 12МГц. Обе машины работали под ОС Ultrix и стоили довольно умеренно (около 8 тыс. долл. США (1990) за DECstation 2100).

1989 морально стареющая архитектура VAX уже с трудом могла конкурировать с RISC-архитектурами 2-го поколения, такими как **MIPS** и **SPARC**, и было вполне очевидно, что следующее поколение RISC оставит VAX немного шансов на выживание. В середине 1989 перед инженерами DEC была поставлена задача создания конкурентноспособной RISC-архитектуры с перспективным потенциалом, но минимально несовместимой с VAX, чтобы облегчить перенос на неё VAX/VMS и всей сопутствующей программной базы. Также было определено, что новая архитектура должна



изначально быть 64-битной, так как конкуренты уже были в процессе перехода на 64 бита. Была создана рабочая группа, в которой главными архитекторами были Ричард Витек и Ричард Сайтс (Richard Sites).

Первое официальное упоминание об архитектуре **Alpha** датируется 25 февраля 1992, на конференции в Токио. Одновременно в небольшом [обзоре](#) (для USENET-конференции comp.arch) были перечислены ключевые моменты новой архитектуры; там же было оговорено, что "Alpha" является кодовым именем нового процессора, а рыночное название будет представлено позже. Процессор имел чистую **64-битную RISC-архитектуру с инструкциями фиксированной длины** (по 32 бита), **с 32 целочисленными** 64-битными регистрами, работал с 43-битными адресами виртуальной памяти (с расширением до 64 бит в перспективе), использовал, как и VAX, **little-endian** порядок следования байт (то есть, когда младший байт регистра занимает при записи младший адрес в памяти; традиционно поддерживался Intel, в противовес к big-endian, изначально внедрённому Motorola, и используемому в большинстве процессорных архитектур, где младший байт регистра занимает при записи старший адрес в памяти). Математический сопроцессор был изначально интегрирован в ядро, вместе с **32 вещественными** 64-битными регистрами, причём использовался **произвольный доступ** к ним, в отличие от примитивного стекового, используемого сопроцессорами Intel x87. Срок службы новой архитектуры был определен, как минимум, в 25 лет.

Поддерживаемый набор инструкций был максимально упрощён с целью максимального облегчения конвейеризации, и состоял из 5 групп:

- ♦ инструкции для целочисленных вычислений;
- ♦ инструкции для вещественных (с плавающей запятой) вычислений;
- ♦ инструкции отработки условных и безусловных переходов, а также сравнения;
- ♦ инструкции загрузки и сохранения данных;
- ♦ инструкции PALcode.

Стоит отметить, что инструкции целочисленного деления отсутствовали, так как являлись наиболее сложными и плохо поддающимися конвейеризации, а поэтому эмулировались.

Архитектура Alpha была "настоящей" RISC (в отличие от современных процессоров архитектуры i386, которые RISC только изнутри).

4.2 INTEL

Первый микропроцессор [Intel 4004](#) был представлен [15 ноября 1971 года](#) корпорацией Intel. Он содержал 2300 транзисторов, работал на тактовой частоте 740 кГц и стоил 300 долл.

Затем Intel8080-первый 8 разрядный, , и Z80 фирмы Zilog, Intel 8085

4.2.1 8086

Следующим этапом развития камней становится 1978 год. Именно тогда Intel выпустил свой первый 16-разрядный проц с маркировкой «8086». Для своего времени этот камень имел неплохие характеристики: тактовая частота 5 МГц (позже появились процессоры 8 и 10 МГц), производительность 0,33 MIPS, технология 3 мкм, 29 тыс. транзисторов составляли кристалл, 1 Мб адресуемой оперативной памяти, конвейер 8086 имеет 6-байтную очередь инструкций. И самый главный бонус - инструкции стали уже с 16-битными операндами, то есть камни перешли на качественно новый уровень. Регистры и система команд были переработаны (в отличие от 8080), хотя некоторое сходство проследить можно. Это процессор получил признание общественности, но из-за дороговизны многие не могли его себе позволить.



4.2.2 8088

Через год на рынок выходит Intel-процессор 8088. Сущность ядра не изменилась, была немного повышена тактовая частота (стала около 10 МГц) и изменена шина данных: она стала 8-битной (напомню, что шина данных у 8086 16-разрядная). Это было сделано для снижения цены на камни и системы в целом, но, как ты понимаешь, любое уменьшение разрядности шины не приводит ни к чему хорошему, и поэтому модель 8086 получила довольно сильное общее снижение производительности. Ее предок, при равной тактовой частоте, работал на 20-60% быстрее, чем 8088! Функциональные различия этих процессоров, обусловленные разной разрядностью шины, проявляются только в способе подключения 8- и 16-разрядных внешних девайсов. Больше отличий от 8086 не объявлялось, и поэтому очень часто 8088 считают модификацией 8086. У этих процессоров уже включена возможность подключения сопроцессора (например, математического – он был необязательным и, к тому же, довольно дорогим). Команда выполняется в среднем за 12 тактов синхронизации. Эти камни стояли в IBM XT (позже еще и в IBM Turbo-XT) машинах и были предками современных железных мозгов наших компов.

4.2.3 i80286

В 1982 году Intel выпускает следующего представителя x86 семейства: Intel i80286 - процессор, в народе именованный "двойкой". Этим процессором ознаменовывается попытка Интела ввести защищенный режим в массы: 286 камень поддерживал переход в него. Его характеристики: 134000 транзисторов (технология 1,5 мкм), адресация до 16 Мбайт физической памяти, способность адресоваться к виртуальной памяти размером до 1 Гбайт, 16-битная шина данных и очередь команд в 6 байт, частота от 10 МГц. Если кратко, то он имел 2 значительных плюса: защищенный режим и виртуальная память до 1 Гб. В начале 80-х годов эти преимущества 286 проца реализованы не были. Интел дал только задатки, но софтверный мир не был готов их реализовать - основной ОС был DOS, по определению работавший в реальном режиме и к тому же однозадачный. А виртуальная память в 1 Гб была лишней, особенно если вспомнить, что винт среднего ПК был не больше 100 метров. Кстати, для переключения в защищенный режим была введена специальная инструкция, обратный же переход был возможен только с помощью кнопки reset ;-).

Появление псевдомногозадачности (псевдо потому, что если в твоей машине 1 процессор, то в определенный, пусть и малый момент, твоя ОС выполняет какую-то 1 задачу, хоть и переключается между ними очень быстро, создавая такой эффект) позволило создавать многозадачные ОС, типа Unix, Linux, BeOS и, конечно, винды. Дальнейшее развитие получил механизм виртуальной памяти, и начиная с этого проца ее объем стал 1 Гб для каждой задачи. Стали активней применяться сопроцессоры: уже у многих 286 камней был математический сопроцессор, маркированный 80287, что позволяло повысить производительность системы в целом. Программная модель процессора особых изменений не претерпела: основа 8086 сохранилась, но были добавлены новые инструкции для работы с защищенным режимом и инструкции, использующие PIO (Programmable Input/Output), что позволило повысить производительность работы с оперативной памятью. За счет таких архитектурных нововведений удалось повысить производительность процессора: 80286 с тактовой частотой 12,5 МГц работает более чем в 6 раз быстрее, чем его предшественник 8086 с частотой 5 МГц. В заключение скажу, что именно этот камень стал самым популярным, и именно он продвинул Интел в нишу домашних ПК.

4.3 Появление первых 32-х разрядных камней

4.3.1 i80386

i80386, выпущенный в 1985 году, стал первым полностью 32-битным процессором. Характеристики: 275000 транзисторов, частота от 16 до 32 МГц. Его основное отличие от предшественников – 32-битные шины данных и адреса. Также изменился принцип сегментации памяти, а точнее - был убран



барьер в 64 Кб для 1 сегмента. Сейчас для защищенного режима он стал 4 гигабайта. Размер виртуальной памяти в очередной раз увеличился: 386 камни поддерживали виртуальную память до 64 терабайт. Внутреннюю очередь команд увеличили до 16 байт. Существовала возможность подключения сопроцессора Intel387 или даже от 286 машины - Intel287, правда, в последнем варианте производительность была меньше. Именно этот процессор в полной мере внедрил в массы защищенный режим, так, начиная с i80386 можно использовать многозадачность на полную мощность. Процессор i80386 получил широкое распространение - было выпущено несколько модификаций с улучшенными характеристиками, например, i80386SX, его основное отличие от предка - урезанные шины данных (16-разрядная) и адресная шина (24 разряда). Это объясняется опять же желанием снизить цену на проц. Характеристики не изменились, но из-за такого урезания шин камень иногда считают 16-разрядным. Именно после выпуска первого мода, прародителя - i80386 - стали называть 386DX. В 1990 году выпускают Intel386SL, его нововведение - средства управления энергопотреблением, то есть явно прослеживается ориентация на рынок мобильных компьютеров.

4.3.2 i80486

Этот процессор - полностью 32-битный, и представляет он второе поколение 32-битных камней от Интел. Технические характеристики: 1,25 млн. транзисторов, частота от 25 до 50 МГц, кэш первого уровня - 8 Кб, второго уровня до 512 Кб, адресная шина 32-разрядная, шина данных 32-разрядная (20-50 МГц). В 486 камне было очень много нововведений, позволяющих использовать его и сейчас, именно с него процы приобретают привычное для нас строение и возможности.

Итак, вот что внес Интел в свою "четверку": введен кэш первого уровня, и появились средства, необходимые для построения мультипроцессорных систем. Введены буферы отложенной записи, которые задерживали запись данных в память при занятой шине данных, что позволяло камню выполнять инструкции непрерывно, не ожидая освобождения шины. Увеличена производительность локальной шины, что позволило передавать слово данных в каждом такте, а не через один, как было раньше. Переработано ядро, и сейчас чаще всего встречающиеся инструкции выполняются за 1 такт, а это удвоило среднюю производительность, по сравнению с 386, при равных частотах. Проведено очередное увеличение очереди команд, она стала равна 16 байтам. Уже на многих четверках присутствовал сопроцессор, совместимый с 387. Конечно же, вводятся новые инструкции, позволяющие рациональнее работать с памятью и проводить математические операции. И, как и раньше, Интел выпускает несколько модификаций для данной модели: P4 Intel486 DX - полный вариант (процессор + мат. сопроцессор), кэш с прямой записью. Затем появляется P23 Intel486 SX (1991 год) - вариант без сопроцессора, кэш с прямой записью. Intel486 SL enhanced (1992 год) - проц. со встроенными средствами уменьшения энергопотребления. P24 Intel486 DX2 (1992 год) - проведено удвоение тактовой частоты. P23T Intel486 SX (или DX) (1992 год) OverDrive, основное его отличие - архитектура класса Pentium, хотя системная шина от 486. Вроде бы так Интел подошел к архитектуре пня, но в 1994 (через год после выпуска первого представителя класса Pentium) выпускается последняя модификация 486 камня: Intel 486 DX4. Кодовое имя: P24C, технические характеристики: 1,6 млн. транзисторов, тактовая частота от 75 до 100 МГц; кэш первого уровня: 16 Кб, кэш второго уровня на материнской плате (до 512 Кб), процессор 32-разрядный, шина данных 32-разрядная (25-33 МГц), адресная шина 32-разрядная. На этом история 486 камня заканчивается, больше модификаций не было, и Интел переходит на новый виток: выпуск процессоров с маркировкой Pentium.

4.3.3 INTEL PENTIUM (P5)

В 1993 году Интел выпускает продолжателя рода 32-битных процессоров: Intel Pentium. Его технические характеристики: использовалось 3.1 млн. транзисторов, технология 0.8 мкм, частота 60-66 МГц; кэш первого уровня: 16 Кб; кэш второго уровня на материнской плате (до 1 Мб), шина данных 64 разрядная (60-66 МГц); адресная шина 32-разрядная. Использовался Socket 4. Из самых важных новшеств – суперскалярность. То есть процессор мог за один такт выпускать с конвейера до 2 инструкций. Пентиумы первого поколения (кодовое название P5) большого распространения не



получили: они были очень дорогими, если сравнивать с аналогичными 486, при производстве сопроцессора была допущена ошибка. Хотя и некритическая, но, тем не менее, Интел обменивал уже проданные процессоры на профиксенные новые.

4.4 Расцвет 32 разрядности

4.4.1 Intel Pentium Pro

Это первый процессор шестого поколения. Основным отличием от предыдущих было введение кэш-памяти второго уровня, работающей на полной частоте ядра. Технические характеристики: 5,5 млн. транзисторов в ядре, 15,5-31 млн. транзисторов на кэш-память, технология от 0,5 до 0,35 мкм, тактовая частота от 150 до 200 МГц, кэш первого уровня 16 Кб, кэш второго уровня до 2 мегов, адресная шина 32-разрядная, шина данных 64. Использовался сокет 8. Нововведения имели две стороны: ускорение работы на новых системах и приложениях, но замедление на 16-битных и в среде 95 виндов. Основной сферой применения этого камня считали серверную нишу.

4.4.2 Intel Pentium MMX

В 1997 году, наконец-то, появляется процессор с некоторыми встроенными средствами поддержки мультимедиа. Основная ставка Интел в этом процессоре - ускоренная обработка изображения и аудиоданных. Правда, высказывались мнения о бесполезности введения дополнительных инструкций, так как проц тратил время на распаковку/запаковку данных. Технические характеристики сильно от предка не отличались, были только добавлены новые инструкции, и повышена максимальная тактовая частота до 233 МГц. Такие камешки все еще имеют немалое распространение ввиду малой цены и более-менее реальных возможностей. Например, средненький сервак для них - работа самое то.

4.4.3 Intel Pentium 2

В мае 1997 года общественность получает от Интел очередной подарок: свеженький камешек с гордым именем Intel Pentium 2. Новое имя не принесло особых улучшений архитектуры: второй пень был собран на ядре Pentium Pro, правда, с увеличенной тактовой частотой. Яркой особенностью вторых пеньков стала модульная конструкция с разъемом типа Slot 1 и картриджем SECC (Single Edge Contact Cartridge). Такая хитрая сборка предназначалась как для простых смертных, так и для серваков, которые могли быть и мультипроцессорными. Технические характеристики: тактовая частота от 233 до 450 МГц, технология 0,25 микрон, примерно 7,5 миллионов транзисторов в ядре, кэш-память 2 уровня 512 Кб, первый уровень 32 Кб. В кристалл встраивается термодатчик, что позволяет мерить температуру прямо на ядре.

Intel Pentium 3 (кодовое название katmai)

Совсем недавно третий пень считался мерой крутости компа, народ брал любой комп, если там есть "пентиум 3"! Так давай же посмотрим, что в нем крутого: введено расширение SSE (Streaming SIMD Extensions), оно ориентировано на инструкции, которые выполняются одновременно над группой операндов с плавающей точкой. Были добавлены новые 128-разрядные регистры XMM, предназначенные для инструкций класса SSE. Технические характеристика камня: 0,18 мкм технология, 28 млн. транзисторов составляют ядро, 256 Кб вторичного кэша, работающего на частоте ядра, тактовая частота до 1 ГГц.

Intel Pentium 4 (Willamette)

Последнее на сегодняшний день детище компании Интел на рынке 32-разрядных камней. Является идеологическим продолжателем рода x86, но, уже по классификации Интела, относится к 7 поколению. Программная модель проца в очередной раз была расширена за счет введения нового набора инструкций, называемого SSE2. В архитектуре тоже появились некоторые новшества: введены



новые принципы микроархитектуры ядра, называемые NetBurst, которые изначально ориентированы на высокие частоты (минимальная - 1,4 ГГц), частота системной шины - 400 МГц. Правда, это заставило увеличить количество транзисторов в ядре до 48 млн., с технологией 0,18 мкм. Основная направленность - интернет и мультимедийные приложения.

4.5 AMD

Но не только Интел выводит свои процессоры на рынок настольных ПК. У этой могучей фирмы существовали и, как ни странно, существуют конкуренты, самый главный из которых - AMD. Вот какие камешки они выпускали.

4.5.1 AMD K5

Программно совместимый с Pentium процессор, предназначенный для установки в socket 7. Тактовая частота доходила до 166 МГц. В отличие от "чистых" пней, камни от AMD имели некоторые задатки 6 поколения: усложненный конвейер, изменение порядка вычислений на ходу, изменение некоторых регистров.

4.5.2 AMD K6 (AMD K6 MMX)

Процессор был выпущен на месяц раньше второго пня, но при этом сильно напоминает Pentium 2, только без вторичного кэша. В нем было введено управление энергопотреблением, как и у интеловского собрата. Официально было доказано, что производительность K6 с 200 МГц была такой же, как у Celeron'a с 300 МГц! При этом программные модели были полностью совместимы.

4.5.3 AMD K6-2

Развитие линейки K6 от AMD. Новым было введение технологии 3DNow!, которая являлась расширенной технологией MMX. Частота внешней шины была поднята до 100 МГц, улучшена работа с кэшем. Для правильной работы этого камня в 95 окнах необходимо слить с сайта AMD программный патч, позволяющий правильно определить проц. В 2000 году был выпущен K6-2+ - проц для 7 сокета, но уже с интегрированным кэшем в 128 Кб, который работал на частоте ядра.

4.5.4 AMD K6-3 (Sharptooth)

Это самый мощный процессор для сокета 7. Он позиционировался как конкурент третьего пня, и действительно, по многим характеристикам и тестам он не только не уступает ему, но и превосходит. Главный плюс этого камня - трехуровневая система кэширования памяти. То есть у этого камня существуют следующие типы кэш-памяти: кэш первого уровня, размер 64 Кб (32 на данные, 32 на инструкции), что в два раза больше чем у второго и третьего пней; кэш второго уровня - 256 Кб, причем располагающийся на одном кристалле с ядром, и как следствие, работающий на полной частоте ядра (для сравнения: вторичный кэш у Pentium 3 имеет либо меньший, либо равный объем, но работает на половине частоты ядра, а селероны хоть и имеют кэш второго уровня, работающий на полной частоте ядра, но вот объем его только 128 Кб). Кэш-память третьего уровня устанавливается на материнскую плату. Максимальный объем кэша третьего уровня равен 2 Мб. Естественно, что скорость обмена с этим кэширующим элементом будет ниже (около 800мб/сек), но все же гораздо больше, чем с оперативной памятью. Архитектурные особенности AMD K6-3 позволяют относить его к 66 поколению процессоров.



4.5.5 AMD Athlon (K7)

Этот процессор был признан лучшим по многим показателям в 1999 году. И сейчас он не потерял своего величия. Вот основные отличия от предшественников: введение новых инструкций, оптимизирующих работу по распознаванию речи, образов, воспроизведению цифрового звука, ускоряющих работу софт-модемов и т.д. Было выпущено несколько моделей этого проца, основанных на несколько различных ядрах, но программная модель оставалась неизменной. Так, атлон первой модели был таким: 0,25 мкм технология, первичный кэш в 128 Кб, впервые вводится программируемая скорость обмена с вторичным кэшем, а его объем от 512 Кб до 8 Мб; он использовал слот типа А. Второй атлон отличался от собрата только уменьшением технологии до 0,18 мкм и, соответственно, ростом тактовой частоты. Третья модель атлонов не получила существенных дополнений и изменений. А в четвертой был введен кэш второго уровня, работающий на полной тактовой частоте и располагавшийся на кристалле проца, правда, из-за 8-байтной разрядности, он уступал по скорости кэшу третьего пня. Также было изменено крепление: вводится новый сокет типа А (Socket-462).

4.6 64-разрядные технологии AMD и Intel

x86-64 (также **AMD64/Intel64/EM64T/x64**) — **64-битная** архитектура [микропроцессора](#) и соответствующий набор инструкций, разработанные компанией [AMD](#). Это [расширение архитектуры x86](#) с полной обратной совместимостью. Набор инструкций x86-64 в настоящее время поддерживается процессорами AMD [Athlon 64](#), [Athlon 64 FX](#), [Athlon 64 X2](#), [Phenom](#), [Phenom II](#), [Turion 64](#), [Opteron](#), последними моделями [Sempron](#). Этот набор инструкций был поддержан основным конкурентом AMD — компанией [Intel](#) (с незначительными дополнениями) под названием *Intel 64* (ранее известные как [EM64T](#) и [IA-32e](#)) в поздних моделях процессоров [Pentium 4](#), а также в [Pentium D](#), [Pentium Extreme Edition](#), [Celeron D](#), [Core 2 Duo](#) и [Xeon](#). Корпорации [Microsoft](#) и [Sun Microsystems](#) используют для обозначения этого набора инструкций термин "x64", однако каталог с файлами для архитектуры в дистрибутивах Microsoft называется "amd64" (ср. "i386" для архитектуры x86).

Существует несколько вариантов названий этой технологии, которые, порой, приводят к путанице и могут ввести пользователя в заблуждение.

- **x86-64**. Первоначальный вариант. Именно под этим названием фирмой AMD была опубликована первая предварительная спецификация.
- **AA-64**. Так архитектуру окрестил популярный неофициальный справочник [sandpile.org](#) (внеся информацию практически сразу после публикаций первой предварительной спецификации) по аналогии с [IA-64](#), и по-прежнему так её называющий, как AMD Architecture 64.
- **Hammer Architecture**. Иногда встречалось название по первым разрабатываемым ядрам процессоров, получившим названия Clawhammer ([гвоздолётёр](#)) и Sledgehammer ([кувалда](#)) иногда называемых просто Hammer ([молоток](#)).
- **AMD64**. После выпуска первых Hammer'ов в названии архитектуры появилось название фирмы-разработчика [Advanced Micro Devices](#). Сейчас является официальным для реализации AMD.
- **Yamhill Tehnology**. Первое название [Intel](#)'овской реализации технологии. Иногда упоминалось название СТ (Clackamas Technology).
- **EM64T**. Первое официальное название реализации Intel. Расшифровывалось как Extended Memory 64 Technology.
- **IA-32e**. Иногда встречалось совместно с EM64T, чаще для обозначения длинного режима, который в документации Intel называется "режимом IA-32e".
- **Intel 64**. Текущее официальное название архитектуры Intel. Постепенно Intel отказывается от наименований IA-32, IA-32e и EM64T в пользу этого названия, которое теперь является единственным официальным для этой архитектуры.



- **x64** Официальное название версий операционных систем [Windows](#) и [Solaris](#), также используемое как название архитектуры фирмами [Microsoft](#) и [Sun Microsystems](#).

IA-64 принципиально другая, новая архитектура, не совместимая полностью с перечисленными выше. Представители IA-64 - это семейства [Itanium](#) и [Itanium 2](#).

На сегодняшний день наиболее распространёнными являются AMD64, x86-64 и x64. Порой упоминание AMD вводит пользователей в заблуждение, вплоть до того, что они отказываются скачивать дистрибутивы родных версий ОС, мотивируя это тем, что на их Intel-процессоре версия для AMD не пойдёт. На самом деле распространители ПО используют название amd64 лишь потому, что именно [AMD](#) была пионером в разработке этой технологии. Бывает, что пользователи путают архитектуру Intel 64 с IA-64, ошибочно скачивая ПО для этой архитектуры, и с удивлением обнаруживают, что программа не запускается. Во избежание подобных ошибок, всегда следует помнить, что [Intel 64](#) и [IA-64](#) это совершенно разные, несовместимые друг с другом, микропроцессорные архитектуры. Представители Intel 64 - это [Pentium 4](#) (последние модели), ряд моделей [Celeron D](#), семейство [Core 2](#) и некоторые модели [Intel Atom](#).

Существует несколько преимуществ x86-64 над IA-64:

1. Быстродействие в обработке 32-разрядных инструкций. Связано с тем, что после перехода в режим совместимости не происходит никакой эмуляции, процессор обрабатывает данные с большой скоростью. Этого нет в Itanium, поскольку там все инструкции выполняются в 64 разрядах.
2. Полная совместимость с x86-архитектурой. В Itanium подобное реализовано не полностью.
3. Одновременная работа 16/32/64 приложений. Благодаря введению режимов, становится возможным обрабатывать ряд разных инструкций одновременно. Это, опять-таки, сказывается на производительности и улучшает совместимость.

Думаю, что я убедил тебя согласиться с присвоением победного балла AMD 64, у которого с совместимостью не было и не будет никаких проблем. Учитывая, что 64-разрядная архитектура не заменяет старые, быстродействие в иных платформах играет очень большое значение

Процессоры архитектуры поддерживают два режима работы: *Long mode* («длинный» режим) и *Legacy mode* («наследственный», режим совместимости с x86).

4.6.1 Long Mode

«Длинный» режим — «родной» для процессоров AMD64. Этот режим позволяет воспользоваться всеми дополнительными возможностями, предоставляемыми архитектурой AMD64. Для использования этого режима необходима 64-битная [операционная система](#), например, [Windows XP Professional x64 Edition](#), [Windows Vista x64](#), [Windows 7 x64](#) или 64-битные варианты [UNIX](#)-подобных систем [GNU/Linux](#), [FreeBSD](#), [OpenBSD](#), [NetBSD](#) (чистые 64-битные сборки, однако, есть возможность запуска 32-битных приложений), [Solaris](#) (смешанная 32/64 сборка с разными ядрами для 32- и 64-битных процессоров), [Mac OS X](#) (смешанная 32/64 сборка с 32-битным ядром, начиная с версии 10.4.7). Этот режим позволяет выполнять 64-битные программы; также (для обратной совместимости) предоставляется поддержка выполнения 32-битного кода, например, 32-битных приложений, хотя 32-битные программы не смогут использовать 64-битные системные библиотеки, и наоборот. Чтобы справиться с этой проблемой, большинство 64-разрядных операционных систем предоставляют два набора необходимых системных файлов: один — для родных 64-битных приложений, и другой — для 32-битных программ. (Этой же методикой пользовались ранние 32-битные системы — например, [Windows 95](#) — для выполнения 16-битных программ). В «длинном» режиме упразднен ряд



«рудиментов» архитектуры [x86](#), таких, как режим виртуального [8086](#), [сегментированная модель памяти](#) (однако, осталась возможность использования сегментов FS и GS, что полезно для быстрого нахождения важных данных [потока](#) при переключении задач), аппаратная [мультизадачность](#), а также ряд команд, как реализующих упраздненные возможности, так и работающие с [BCD](#)-числами, которые в новых программах практически не использовались. Среди особенностей «длинного» режима, следует отметить тот факт, что он активируется установкой флага CR0.PG, который используется для включения страничного [MMU](#) (при условии что такое переключение разрешено (EFER.LME=1), в противном случае просто произойдет включение MMU в «наследственном» режиме). Таким образом, невозможно исполнение 64-битного кода с запрещенным страничным преобразованием. Это создает определенные трудности в программировании, поскольку при переключении из «длинного» в «наследственный» режим и обратно (например, для вызова функций [BIOS](#) или [DOS](#), монитором [виртуальной машины](#), и т. д.) требуется двойной сброс MMU, для чего код переключения должен находиться в тождественно отображенной странице.

4.6.2 Legacy Mode

Данный «наследственный» режим позволяет процессору AMD64 выполнять инструкции, рассчитанные для процессоров x86, и предоставляет полную совместимость с 32/16-битным кодом и операционными системами. В этом режиме процессор ведёт себя точно так же, как x86-процессор, например Pentium 4, и дополнительные функции, предоставляемые архитектурой AMD64 (например, дополнительные регистры) недоступны. В этом режиме 64-битные программы и операционные системы работать не будут (если, конечно, не используется [виртуализация](#)).

4.6.3 Особенности архитектуры

Разработанный компанией AMD набор инструкций x86-64 (позднее переименованный в AMD64) — расширение архитектуры Intel [IA-32](#) (x86-32). Основной отличительной особенностью AMD64 является поддержка 16-ти 64-битных регистров общего назначения (против 8-и 32-битных в x86-32), 64-битных арифметических и логических операций над целыми числами и 64-битных виртуальных адресов. Для адресации новых регистров для команд введены так называемые «префиксы расширения регистра», для которых был выбран диапазон кодов 40h-4Fh, использующихся для команд **INC** <регистр> и **DEC** <регистр> в 32- и 16-битных режимах. Команды **INC** и **DEC** в 64-битном режиме должны кодироваться в более общей, двухбайтовой форме.

Архитектура x86_64 имеет:

- 16 целочисленных 64-битных регистра общего назначения (RAX, RBX, RCX, RDX, RBP, RSI, RDI, RSP, R8 — R15),
- 8 80-битных регистров с плавающей точкой (ST0 — ST7),
- 8 64-битных регистров [Multimedia Extensions](#) (MM0 — MM7, имеют общее пространство с регистрами ST0 — ST7),
- 16 128-битных регистров [SSE](#) (XMM0 — XMM15),
- 64-битный указатель RIP и 64-битный [регистр флагов](#) RFLAGS.

4.6.4 Технология

У каждого принципиально нового проекта существует своя технология. 64-разрядные процессоры не исключение. Давай рассмотрим, какая технология выполнена лучше и сочетает в себе все удобства для пользователя. Кстати говоря, на технологической основе и строится основная архитектура девайса, поэтому очень важно знать ее принципы.



Intel придерживается стандарта EPIC (Explicitly Parallel Instruction Computing, явный параллелизм на уровне команд). Данная технология оттачивалась специально для крупных серверов и некоторых рабочих станций. Возможности EPIC огромны: во-первых, это высокая скорость выполнения операций с плавающей запятой. Во-вторых, поддержка распараллеливания задач (практически, подобие технологии SMP). И, наконец, благодаря улучшению считывания данных из памяти, скорость обмена информацией резко возрастает.

Вообще, история появления EPIC весьма занятна. Еще в далеком 1994 году Intel и Hewlett Packard подписали договор о создании новой технологии, применяемой для крупных серверов и рабочих станций. Мол, я тебе процессор, а ты мне софт :). Именно поэтому первые кремниевые камни работали только под системами HP. В 1997 году EPIC не был утопическим стандартом, технология была разработана до конца. Intel представил результаты работы по созданию суперархитектуры. В мае 1999 года корпорация начала сбор средств для материализации своих задумок. Фонд составил 250 млн. долларов и назывался Intel 64 Fund. Спустя два года первые камни уже поступили в продажу. О цене я молчу, так как она отличалась от сегодняшней в разы :). Сразу с выпуском первого процессора, в инете было доступно руководство по архитектуре и регистрам Itanium.

AMD избрал иной путь к 64-разрядности. Производители лишь прибавили 32 к уже имеющимся разрядам и получили новую архитектуру x86-64. Что примечательно, новая технология отличается от старой лишь префиксом 64. Хотя, естественно, в новом процессоре был сделан ряд улучшений, в первую очередь ядра процессора. Это позволило получить новый уровень быстродействия как для 32, так и для 64-разрядных систем.

Итоги: AMD переходит на новый уровень без применения новых технологий. Это приводит к полной совместимости как 32, так и 64-разрядных приложений. Intel же стремится показать себя лишь в 64 разрядах. Исходя из того, что последние в наше время еще не обрели особой популярности, я присуждаю победный балл в первом раунде процессору AMD 64. Думаю, это будет справедливым решением .

4.6.5 Совместимость

Суди сам: производитель создает девайс, отточенный под новую архитектуру. Программист, матерясь и изучая новые мануалы языка, пишет операционки и софт под неизвестно откуда взявшиеся разряды :). Но ни тот ни другой не думают о бедном юзере, для которого переход на новую платформу будет весьма болезненным. В этой ситуации существует два выхода – либо забыть об 32 и 16-разрядности и целиком отдаться 64 битам, либо воспользоваться специальными режимами совместимости, которые были любезно предоставлены производителем. А система совместимости, кстати, сделана на совесть как в Itanium, так и в AMD.

Начнем с первого. Intel пошел логически верным путем и создал ряд регистров для полной совместимости старых приложений. В итоге получаем, что все 64-разрядные инструкции выполняются как обычно, иные же обрабатываются технологией IA-32. Эмуляция есть эмуляция, ни о какой производительности при этом и речи быть не может, поэтому Itanium целиком и полностью ориентирован для 64-разрядных платформ.

В AMD все намного сложнее. Для улучшения производительности со старыми платформами были придуманы специальные режимы. Поговорим о них подробнее.

Архитектура AMD 64 предусматривает два главных режима работы: Long и Legacy. В первом открываются все прелести технологии x86-64. Для полной совместимости над старыми приложениями



существует так называемый подрежим совместимости, в котором способны обрабатываться 32/16-разрядные инструкции. В режиме Legacy процессор работает по принципу обычной x86-архитектуры. Козырем такой системы режимов является то, что процессор можно эксплуатировать до выхода стабильных релизов 64-разрядных операционок. Помимо этого существует несколько преимуществ x86-64 над IA-64:

1. Быстродействие в обработке 32-разрядных инструкций. Связано с тем, что после перехода в режим совместимости не происходит никакой эмуляции, процессор обрабатывает данные с большой скоростью. Этого нет в Itanium, поскольку там все инструкции выполняются в 64 разрядах.
2. Полная совместимость с x86-архитектурой. В Itanium подобное реализовано не полностью.
3. Одновременная работа 16/32/64 приложений. Благодаря введению режимов, становится возможным обрабатывать ряд разных инструкций одновременно. Это, опять-таки, сказывается на производительности и улучшает совместимость.

Думаю, что я убедил тебя согласиться с присвоением победного балла AMD 64, у которого с совместимостью не было и не будет никаких проблем. Учитывая, что 64-разрядная архитектура не заменяет старые, быстродействие в иных платформах играет очень большое значение. Итог трех раундов: 2:1 в пользу AMD.

4.6.6 Современные Intel и AMD МП

[10 сентября 2007 года](#) были выпущены в продажу нативные (в виде одного кристалла) четырёхъядерные процессоры для серверов [AMD Quad-Core Opteron](#), имевшие в процессе разработки кодовое название AMD Opteron Barcelona.^[1] [19 ноября](#) 2007 года вышел в продажу четырёхъядерный процессор для домашних компьютеров [AMD Quad-Core Phenom](#).^[2] Эти процессоры реализуют новую микроархитектуру K8L (K10).

[27 сентября 2006 года](#) Intel продемонстрировала прототип 80-ядерного процессора.^[3] Предполагается, что массовое производство подобных процессоров станет возможно не раньше перехода на 32-нанометровый техпроцесс, а это в свою очередь ожидается к [2010 году](#).

На данный момент массово доступны двух- и четырёхъядерные процессоры, в частности [Intel Core 2 Duo](#) на 65-нм ядре Conroe (позднее на 45-нм ядре Wolfdale) и [Athlon 64 X2](#) на базе микроархитектуры K8. В ноябре 2006 года вышел первый четырёхъядерный процессор [Intel Core 2 Quad](#) на ядре Kentsfield, представляющий собой сборку из двух кристаллов Conroe в одном корпусе. Потомком этого процессора стал Intel Core 2 Quad на ядре Yorkfield (45 нм), архитектурно схожем с Kentsfield но имеющем больший объём кэша и рабочие частоты.

Компания AMD пошла по собственному пути, изготавливая четырёхъядерные процессоры единым кристаллом (в отличие от Intel, первые четырёхъядерные процессоры которой представляют собой фактически склейку двух двухъядерных кристаллов). Несмотря на всю прогрессивность подобного подхода первый «четырёхъядерник» фирмы, получивший название AMD Phenom X4, получился не слишком удачным. Его отставание от современных ему процессоров конкурента составляло от 5 до 30 и более процентов в зависимости от модели и конкретных задач.^[источник?]

К 1-2 кварталу 2009 года обе компании обновили свои линейки четырёхъядерных процессоров. Intel представила семейство Core i7, состоящее из трёх моделей, работающих на разных частотах. Основными изюминками данного процессора является использование трёхканального контроллера памяти (типа DDR-3) и технологии эмулирования восьми ядер (полезно для некоторых специфических задач). Кроме того, благодаря общей оптимизации архитектуры удалось значительно повысить



производительность процессора во многих типах задач. Слабой стороной платформы, использующей Core i7 является её чрезмерная стоимость, так как для установки данного процессора необходима дорогая материнская плата на чипсете [Intel X58](#) и трёхканальный набор памяти типа [DDR3](#), также имеющий на данный момент высокую стоимость.

Компания AMD в свою очередь представила линейку процессоров Phenom II X4. При её разработке компания учла свои ошибки: был увеличен объём кэша (явно недостаточный у первого «Фенома»), а производство процессора было переведено на 45 нм техпроцесс, позволивший снизить тепловыделение и значительно повысить рабочие частоты. В целом, AMD Phenom II X4 по производительности стоит вровень с процессорами Intel предыдущего поколения (ядро Yorkfield) и весьма значительно отстает от Intel Core i7. Однако, принимая во внимание умеренную стоимость платформы на базе этого процессора, его рыночные перспективы выглядят куда более радужно, чем у предшественника.

Процессор	Phenom II X4 955	Phenom II X4 965	Core 2 Quad Q9550	Core 2 Quad Q9650	Core i7 920
Название ядра	Deneb	Deneb	Yorkfield	Yorkfield	Bloomfield
Технология пр-ва	45 нм	45 нм	45 нм	45 нм	45 нм
Частота ядра, ГГц	3,2	3,4	2,83	3,0	2,66 (***)
Кол-во ядер	4	4	4	4	4
Кэш L1, I/D, КБ	64/64	64/64	32/32	32/32	32/32
Кэш L2, КБ	4 x 512	4 x 512	2 x 6144	2 x 6144	4 x 256
Кэш L3, КБ	6144	6144	—	—	8192
Оперативная память (*)	DDR2-1066/DDR3-1333	DDR2-1066/DDR3-1333	—	—	DDR3-1066
Коэффициент умножения	16 (**)	17 (**)	8,5	9	20
Сокет	AM2+/AM3	AM2+/AM3	LGA775	LGA775	LGA1366
TDP	125 Вт	140 Вт	95 Вт	95 Вт	130 Вт
Цена	\$273(59)	\$340(24)	\$281(121)	\$377(91)	\$310(95)

4.7 Motorola

С отказом компаний Apple и Sun от использования серии CISC-процессоров Motorola 68xxx (в пользу PowerPC у Apple и в пользу SPARC у Sun), приведшем к фактическому прекращению производства серии, а также с переводом внутренней архитектуры серии x86 на суперскалярную RISC-архитектуру, подавляющее большинство существующих процессоров используют архитектуру RISC. Позже Apple перешла на x86-архитектуру, внешне являющуюся CISC. Также, такие архитектуры, как MIPS и DEC Alpha, прекратили своё существование. [\[1\]\[2\]](#)



4.8 СССР, Россия

4.8.1 Копии DEC

Шина Q-BUS=Шина МПИ
=,1801 VM1-3

4.8.2 Копии INTEL

Intel 8080 =580 серия 580VM80
Intel 8085= комплект серии 1821 1821VM85
1810VM86=Intel8086
И так до Itanium= Эльбрус 3С

4.8.3 БЭСМ-1

БЭСМ (сокращение от *Большая (или Быстродействующая) электронно-счётная машина*) — серия советских [электронных вычислительных машин](#) общего назначения, предназначенных для решения широкого круга задач. Разработка [Института точной механики и вычислительной техники АН СССР](#) (ИМТ и ВТ).

Разработка завершена осенью [1952](#) года. Известна также как БЭСМ Академии Наук (БЭСМ АН). Построена на [электронных лампах](#) (5000 ламп). Опытная эксплуатация — с [1952](#) года. Быстродействие — 8—10 тыс. оп./с.

Система представления чисел в машине — двоичная с учётом порядков. Количество разрядов для кода числа — 39. Цифровая часть числа — 32 разряда; знак числа — 1; порядок числа — 5 разрядов; знак порядка — 1 разряд. Диапазон чисел, с которыми оперирует машина, примерно от 10^{-9} до 10^{+9} . Точность вычислений примерно 9 десятичных знаков.

Система команд — трёхадресная. Количество разрядов для кода команды — 39. Код операции — 6 разрядов; коды адресов — 3 указателя по 11 разрядов каждый, что позволяло адресовать 2048 ячеек памяти для операндов и результата. Регистры общего назначения отсутствуют.

Машина имела параллельное 39-разрядное [АЛУ](#) с плавающей запятой. В систему команд машины входят 9 арифметических операций, 8 операций передач кодов, 6 логических операций, 9 операций управления.

Машина имеет общее поле памяти для команд и чисел ([Архитектура фон Неймана](#)) — 2047 39-разрядных ячеек (ячейка с номером 0 всегда возвращает машинный ноль). Специальный бит в поле кода команд позволял отключить нормализацию с плавающей точкой и выполнять адресную арифметику. При написании программ для БЭСМ-1 широко применялась техника само-модифицирующегося кода.

Внешняя память — на [магнитных барабанах](#) (2 барабана по 5120 слов) и [магнитных лентах](#) (4 по 30 000 слов). Скорость обмена с барабаном — 800 чисел в секунду. Скорость записи-считывания с ленты после позиционирования — 400 чисел в секунду. Первоначальный ввод программы и исходных данных осуществляется с перфоленты со скоростью 20 кодов в секунду. Печать результата осуществляется на бумагу со скоростью до 20 чисел в секунду.

Потребляемая мощность — около 35 кВт.



Была создана только одна машина этого типа. Главный конструктор — [Сергей Алексеевич Лебедев](#).

В 1953 году на БЭСМ была опробована оперативная память на [ртутных трубках](#) (1024 слова), в начале [1955](#) года — на [потенциалоскопах](#) (1024 слова), в [1957](#) году — на ферритных сердечниках (2047 слов).

На 1953 год (октябрь — международная конференция в [Дармштадте](#)) — оказалась самой лучшей в Европе.

4.8.4 БЭСМ-2

Усовершенствованный вариант БЭСМ-1, подготовленный для производства. Первая серийно выпускавшаяся ЭВМ.

Основные технические характеристики аналогичны характеристикам БЭСМ-1. 20 тысяч операций/с, [ОЗУ](#) на 2048 39-разрядных слов на ферритных сердечниках (200 000 ферритных сердечников). В машине содержалось 4 тыс. электронных ламп и 5 тыс. полупроводниковых диодов. Выпускалась с [1958 года](#) по 1962 год. Было изготовлено 67 машин. Машина разработана и внедрена коллективами ИТМ и ВТ АН СССР и завода им. Володарского (г. Ульяновск). На одной из БЭСМ-2, в частности, был произведён расчёт траектории ракеты, доставившей вымпел СССР на Луну^[1].

В машине применён мелкоблочный монтаж основных узлов. Все основные детали и лампы располагались в стандартных сменных блоках.

4.8.5 М-20

В 1955 году на основе архитектуры БЭСМ-1 началась разработка М-20, которая выпускалась с 1959 года при участии СКБ-245 Министерства машиностроения и приборостроения (опытный образец и техническая документация). В схемотехнике М-20 сначала использовались электронные лампы (4000 ламп), позднее её перевели на феррит-транзисторные ячейки, а затем на полупроводники. Полупроводниковая М-20 стала основой для серийной БЭСМ-4^[2]. Всего, до прекращения выпуска в 1964 году, было произведено 20 машин.

Технические характеристики

- Элементная база: 1600 [электровакуумных ламп](#), полупроводниковые [диоды](#)
- Тактовая частота: 666,7 кГц (один импульс за примерно 1,5 мксек)
- Система представления чисел: двоичная с плавающей запятой, 45 разрядов на коды чисел
- Оперативная память: на ферритовых сердечниках, объёмом 4096 45-разрядных слов
- Буферная память: три магнитных барабана по 4096 слов каждый
- Внешняя память: магнитные ленты (4 блока), перфокарты
- Устройство вывода: печатающее устройство
- Производительность: в среднем, 20 тыс. операций в секунду
- Занимаемая площадь: 170—200 кв.м.
- Потребляемая мощность: 50 кВт, не считая системы охлаждения

4.8.6 ЭВМ военного назначения

4.8.6.1 М-40

Комплекс для управления РЛС дальнего обнаружения и сопровождения цели и точного наведения противоракеты на баллистическую ракету противника. В марте 1961 г. на этом комплексе впервые в



мире была ликвидирована боевая часть баллистической ракеты осколочным зарядом противоракеты. За эти работы коллектив ведущих разработчиков комплекса был удостоен Ленинской премии, в том числе академик С. А. Лебедев и [В. С. Бурцев](#). Впервые были предложены принципы распараллеливания вычислительного процесса за счёт аппаратных средств.

М-40 начала выполнять боевые задачи в 1957 году. Коренная модификация БЭСМ-2 для войск [ПВО](#). 40 тыс. оп./с. с фиксированной запятой, ОЗУ 4096 40-разрядных слов, цикл 6 мкс, представление чисел с фиксированной запятой, разрядность 36, система элементов ламповая и ферриттранзисторная, внешняя память — магнитный барабан ёмкостью 6 тыс. слов. Машина работала в комплексе с аппаратурой процессора обмена с абонентами системы и аппаратурой счёта и хранения времени.

4.8.6.2 М-50

М-50 введена в 1959 г. и явилась модификацией ЭВМ М-40. Обеспечивала выполнение операций с плавающей запятой и была рассчитана на применение в качестве универсальной ЭВМ. На базе М-40 и М-50 был создан двухмашинный контрольно-регистрационный комплекс, на котором обрабатывались данные натурных испытаний системы ПРО. 50 тыс. оп./с. Элементная база: лампы, ферриты, полупроводниковые транзисторы и диоды.

4.8.6.3 5Э926

Двухпроцессорный комплекс с общим полем оперативной памяти. Одна из первых полностью полупроводниковых ЭВМ. Развитая система прерываний с аппаратным и программным приоритетом. Главный конструктор - С.А. Лебедев. Заместитель главного конструктора - В.С. Бурцев. Эскизный проект - 1961 год, межведомственные испытания 1964 г., испытания комплекса из восьми машин 1967 г. Технические данные: быстродействие - 500 тыс. оп./с. (большая машина), 37 тыс. оп./с. (малая машина); фиксированная запятая; ОЗУ 32 тыс. 48-разрядных слов, построена по модульному принципу, цикл 2 мкс; работа по 28 телефонным и 24 телеграфным дуплексным линиям связи; элементная база - дискретные полупроводники, полный аппаратный контроль, промежуточная память - 4 магнитных барабана по 16 тыс. слов каждый.

4.8.6.4 5Э51

Модификация 5Э926. Особенности: представление чисел с плавающей запятой, защита оперативной памяти и каналов обмена, работа нескольких операторов в мультипрограммном режиме. Серийно выпускались с [1965 года](#) для военных, в частности, была установлена в [ЦККП](#).

4.8.6.5 5Э26

Создавалась с [1969 года](#) специально для комплекса [ПВО](#) ЗРК [С-300](#). 3 процессора, 1 млн оп./с, АЛУ с фиксированной запятой, 35-разрядное слово, ОЗУ 32 кбит, память команд 64 Кбит на [биаксах](#). [Объём](#) корпуса менее 2,5 м³, потребляемая мощность около 5 [кВт](#). Серийно выпускалась с [1975 года](#), уже после смерти С. А. Лебедева.

4.8.6.6 БЭСМ-3М

Небольшой макет машины, построенный из макетов основных узлов ЭВМ на первых полупроводниковых элементах. Инициативная разработка молодых сотрудников [ИТМиВТ](#). Повторяла структурно-логическую схему М-20. Стала основой для серийной БЭСМ-4.^[3]



4.8.6.7 БЭСМ-4

БЭСМ-4 представляла собой трёхадресную машину на полупроводниках. Быстродействие — 20 тыс. оп./с. Оперативное ЗУ на ферритных сердечниках (16 384 слова, слова 45-разрядные). Возможность работы с удалёнными объектами по телефонным и телеграфным каналам связи. Главный конструктор — О. П. Васильев. БЭСМ-4 производилась с [1965 года](#), всего было выпущено 30 машин.

Для БЭСМ-4 на факультете [ВМиК МГУ](#) была разработана [операционная система](#) «БЭСМ-МГУ», использовавшая [систему прерываний](#) (впервые в серии БЭСМ).

4.8.6.8 БЭСМ-6

Первая супер-ЭВМ второго поколения — на полупроводниковых транзисторах. Разработка завершена в конце 1966 года. Главный конструктор — [Сергей Алексеевич Лебедев](#), заместители главного конструктора — В. А. Мельников, Л. Н. Королев. В [1968 году](#) начат выпуск на заводе Счётно-аналитических машин (САМ) в Москве. До 1987 года, когда был прекращён выпуск БЭСМ-6, было произведено 355 машин.

Особенности БЭСМ-6:

- Элементная база — транзисторный парафазный [усилитель](#) с [диодной логикой](#) на входе
- [Тактовая частота](#) — 10 [МГц](#)
- 48-битное машинное слово
- [Быстродействие](#) — около 1 млн операций в секунду, близкое к рекордному для того времени (наиболее производительная американская система [CDC 6600 \(KREY\)](#), выпускавшаяся с [1964 года](#), обеспечивала быстродействие 3 млн операций в секунду)
- [Конвейерный центральный процессор](#) (ЦП) с отдельными конвейерами для устройства управления (УУ) и арифметического устройства (АУ). Конвейер позволял совмещать обработку нескольких команд, находящихся на разных стадиях выполнения.
- 8-слойная физическая организация [памяти](#) (интерливинг)
- [Виртуальная адресация памяти](#) и расширяемые регистры страничной приписки.
- Совмещённое АУ для целой и плавающей арифметики.
- [Кеш](#) на 16 48-битных слов: 4 чтения данных, 4 чтения команд, 8 — буфер записи
- [Система команд](#) включала в себя 50 24-битных команд (по две в слове)

Редко упоминаемым фактом является то, что архитектура БЭСМ-6 в значительной степени воспроизводила архитектуру системы [CDC 1604 \(англ.\)](#) фирмы [Control Data Corporation \(англ.\)](#) (главный конструктор — [Сеймур Крей](#)), серийно выпускавшейся с [1960 года](#). Детали машинной архитектуры различались, но на уровне прикладных программ разработчикам, адаптировавшим транслятор Фортрана для БЭСМ-6, была поставлена задача обеспечения полной совместимости с CDC 1604.^[1]

БЭСМ-6 выпускалась серийно с [1968](#) по [1987 год](#), всего было выпущено 355 машин. В начале [1980-х](#) в составе поставки [Эльбрус-1](#) выпускалась в 2,5—3 раза более быстрая версия БЭСМ-6, на интегральных микросхемах — *Эльбрус-1К2* или *СВС* (Система, Воспроизводящая Систему). В качестве [периферийных устройств](#) использовались компоненты Эльбрус. Также в систему был введен интерфейс [ЕС ЭВМ](#), что позволяло подключать соответствующую периферию.

В 1984 году на Байконуре был установлен вариант БЭСМ-6 с быстродействием 6 миллионов операций деления с плав.запятой в секунду. Его скорость превысила все существующие подобные компьютеры в то время.^[источник?]



4.8.7 Другие разработки на основе БЭСМ-6

4.8.7.1 Эльбрус-Б

Дальнейшее развитие линии БЭСМ-6. Система разработана под руководством [члена-корреспондента АН СССР](#) Г. Г. Рябова и В. М. Тяпкина на элементно-конструкторской базе 5Э26. [Производительность](#) была увеличена в 4—5 раз. Были устранены следующие проблемы БЭСМ-6:

- Длина адреса 15 разрядов, что позволяет адресовать только 32 килослов ячеек ОЗУ
- Точность представления чисел 48-разрядным кодом недостаточна для вычислений

Система работала в следующих режимах:

- режим полной совместимости с БЭСМ-6: разрядность чисел — 48, разрядность адреса — 15, полное повторение системы команд БЭСМ-6
- Режим работы, полностью повторяющий систему команд БЭСМ-6, но с 27-разрядным виртуальным адресом
- Новый режим работы с расширенной системой команд БЭСМ-6, с 64-разрядными словами

4.8.7.2 Аппаратура сопряжения — АС-6

В [1973 году](#) под руководством [В. А. Мельникова](#) была разработана т. н. «аппаратура сопряжения к БЭСМ-6» (АС-6) — модульная система, позволяющая объединять БЭСМ-6, ЦП АС-6, общие модули памяти, несколько специализированных периферийных машин (ПМ-6) и их периферию в единый комплекс.

В [1975 году](#), в ходе космического полёта «[Союз-Аполлон](#)», управление осуществлялось комплексом, в состав которого входила БЭСМ-6. Эта система позволяла обрабатывать данные по траектории полёта за 1 минуту, в то время как на американской стороне такой расчёт занимал 30 минут.

С [1977](#) по [1987 года](#) АС-6 выпускалась на Московском заводе счётно-аналитических машин (САМ). Всего было выпущено 8 систем.

4.8.8 Эльбрус (компьютер,затем МП)

«Эльбрус» — серия советских [суперкомпьютеров](#), разработанных в [Институте точной механики и вычислительной техники](#) (ИТМиВТ) в 1970—1990-х годах, а также [процессоры](#) и системы на их основе, разработанные в [МЦСТ](#).

4.8.8.1 Эльбрус-1

Многопроцессорный вычислительный комплекс (МВК) [Эльбрус-1](#) — разработан в [1973—1979](#) гг., сдан государственной комиссии в [1980 году](#). Построен на базе [ТТЛ](#)-микросхем.

Производительность — порядка 15 млн оп/с. Главный конструктор серии — [Всеволод Сергеевич Бурцев](#).

4.8.8.2 Эльбрус-2

МВК [Эльбрус-2](#) — разработан в [1977—1984](#) гг., сдан в [1985 году](#). Производительность на 10 процессорах (из них 2 считались резервными) — 125 млн оп/с^[1]. Построен на базе [ЭСЛ](#) интегральных схем ИС-100 (аналог серии Motorola 10000), из-за высокой потребляемой мощности требовал мощную



систему охлаждения. Всего было выпущено порядка 30 машин «Эльбрус-2», из них некоторое количество 10-процессорных ^[источник не указан 112 дней]. Использовался в [ПРО Москвы А-135](#).

4.8.8.3 Эльбрус-1К2 и [Эльбрус-Б](#)

Эльбрус-Б — это усовершенствованная версия [БЭСМ-6](#), выполненная на интегральных микросхемах, в которой устранены некоторые ограничения архитектуры БЭСМ-6. Главный конструктор — [Г. Г. Рябов](#).


4.8.8.4 Эльбрус-3

МКВ [Эльбрус-3](#) — разрабатывался в [1986—1994](#) гг., группой сотрудников ИТМиВТ под руководством [Б. А. Бабаяна](#) на основании совершенно новых архитектурных идей. МКВ Эльбрус-3 должен был содержать 16 суперскалярных процессоров с [VLIW](#) системой команд. Не был запущен в серию.

Архитектура «Эльбрус-3» получила дальнейшее развитие в архитектуре микропроцессоров [Эльбрус 2000](#) и [Эльбрус 3М](#).^[2]

4.8.8.5 Эльбрус-3-1 (МКП)



 МКП Эльбрус-3-1 в машинном зале

Конструктор [А. А. Соколов](#). В [1993 году](#) был успешно завершён первый этап Государственных испытаний «[Эльбрус-3-1](#)» — МКП (модульный конвейерный процессор) ([Премия имени С. А. Лебедева РАН](#)). В МКП основная идея заключалась в возможности подключения процессоров с различной специализацией (радиолокационная обработка, структурная обработка, быстрые преобразования Фурье и т.д.). У МКП было несколько счётчиков команд, поэтому он мог работать с несколькими потоками команд. Одновременно на едином поле памяти в процессоре выполнялось до четырёх потоков команд.

4.8.8.6 Электроника-ССБИС (Красный [Cray](#))

Конструктор — [В. А. Мельников](#), [Институт проблем кибернетики РАН](#).

4.8.9 Архитектура Эльбрус-1,2

Основным отличием системы Эльбрус является ориентация на [языки высокого уровня](#) 1980-х годов. Языки класса [Ассемблер](#) в системе отсутствуют. Базовый язык — [Автокод](#) Эльбрус [Эль-76](#) (автор [В. М. Пентковский](#)), на котором написано общесистемное программное обеспечение (ОСПО), является языком класса [Алгол](#). Он напоминает язык Алгол-68, основное различие состоит в динамическом связывании [типов](#), которое поддержано на аппаратном уровне. При компиляции программа на Эль-76 переводилась в безоперандные команды стековой архитектуры.



Главное отличие архитектуры Эльбрус от большинства существующих систем — это использование **тегов**. В системе Эльбрус каждое слово памяти имеет кроме информационной части, содержащей элемент данных, ещё и управляющую часть — тег элемента, на основании которого аппаратура процессора динамически выполняет выбор нужного варианта операции и контроль типов операндов.

Очень похожие принципы: Алгол как управляющий язык и система тегов применялись в компьютере B5000 фирмы Burroughs Corporation. Среди пользователей Эльбруса ходила шутка: называть систему «Эль-Берроуз».

4.8.9.1 Элементарные типы данных

- целые числа двух форматов — слово (64 разряда) и полуслово (32 разряда)
- вещественные числа трех форматов — слово, полуслово и удвоенное слово (128 разрядов)
- наборы — обобщение языковых типов данных **bool** (логический), **char** (символьный), **alfa** (короткая строка, размещаемая в слове), **bytes** (последовательность байтов слова)

4.8.9.2 Управление памятью

В аппаратуре и ОС реализован гибкий механизм управления виртуальной памятью (называющейся в документации «математической»). Программисту предоставляется возможность описывать массивы до 2^{20} элементов. Разрешенные форматы элементов массива: бит, цифра (4 бит), байт, полуслово (32 бит), слово (64 бит), слово удвоенной точности (128 бит). Каждой задаче предоставляется 2^{32} слов.

4.8.9.3 Программное обеспечение

- Операционная система, система файлов, система программирования Эль-76, многоязыковые компоненты ОСПО — ИТМиВТ
- Фортран, Кобол, ПЛ/1, Алгол — Новосибирский филиал ИТМиВТ
- Паскаль, КЛУ, АБВ, РЕФАЛ, Снобол-4, Диашаг, Форт — Ленинградский университет, 1986 г. (Работает под управлением ОСПО. Имеются средства связи с процедурами на Эль-76)
- Интеллектуальная система программирования МИС, Лисп — Институт кибернетики АН СССР
- Симула-67 — Ростовский университет



5 Современные отечественные ЭВМ и МП

5.1 Современные МП в России

Среди этих коллективов следует выделить ЗАО «МЦСТ», которым в последние годы разработаны уникальные для нашей страны универсальные отечественные высокопроизводительные микропроцессоры архитектурных платформ «МЦСТ-R» и «Эльбрус», вычислительные комплексы серии «Эльбрус-90 микро» и наиболее мощная универсальная отечественная ЭВМ «Эльбрус-3М1».

В развитие линии SPARC-архитектуры в ЗАО «МЦСТ» проводится разработка четырехъядерной СнК со встроенными контроллерами системных шин и периферийных устройств, а на основе архитектуры «Эльбрус» - 8-ядерной СнК с технологическими нормами 45 нм при тактовой частоте 2 ГГц, что дает возможность в ближайшие годы разработать суперкомпьютер с петафлопной производительностью.

ОАО «НИЦЭВТ» разрабатывает семейство многоядерных мультитредовопотоковых микропроцессоров, которые являются основой создания в ближайшие 3-4 года образцов отечественного суперкомпьютера стратегического назначения и встроенных суперкомпьютеров с характеристиками, близкими к показателям перспективных американских современных суперкомпьютеров.

5. Значительные успехи достигнуты НИИСИ РАН, обладающим научным и технологическим потенциалом, как по проектированию, так и по изготовлению современной ЭКБ, в том числе универсальных микропроцессоров (МП), системных и периферийных микроконтроллеров. Разработанные НИИСИ РАН микропроцессоры семейства «КОМДИВ» архитектуры MIPS широко используются в ЭВМ специального назначения. В настоящее время ведётся разработка 64-разрядного суперскалярного микропроцессора с тактовой частотой 500 МГц, содержащего в том числе сопроцессор обработки вещественных комплексных чисел и встроенные высокопроизводительные каналы RapidIO.

В области разработки процессоров цифровой обработки сигналов (ПЦОС) специализируются российские предприятия: ГУП НПЦ «ЭЛВИС», ЗАО НТЦ «Модуль», ФГУП «НИИЭТ», причём предприятиями «ЭЛВИС» и «Модуль» разработаны оригинальные отечественные платформы «Мультикор» и «Neuro-Matrix», соответственно.

В соответствии с мировыми тенденциями развития ПЦОС процессоры платформы «Мультикор» совмещают цифровую обработку сигналов и задачи управления путём введения одного или нескольких DSP-ядер и RISC-ядра, что резко повышает производительность и функциональные возможности микросхем.

Отечественные ПЦОС семейства «Neuro-Matrix» серии 1879BMxx являются представителями нового класса векторно-конвейерных DSP. Их отличает высокая производительность обработки больших потоков данных при относительно небольших аппаратных затратах и малом энергопотреблении. Благодаря аппаратной поддержке матрично-векторных операций и возможности увеличения производительности при обработке данных меньшей разрядности, процессоры могут найти применение для решения широкого класса задач в таких областях как видеобработка, распознавание



образов, сигнальная обработка, радиолокация, телекоммуникация, навигация и др. В настоящее время ЗАО НТЦ «Модуль» ведёт ОКР по созданию высокопроизводительного ПЦОС нового поколения с повышенными вычислительными мощностями за счёт углубления конвейера и реализации на технологиях с меньшими топологическими нормами.

5.2 Разработки МП от МЦСТ(Россия)

5.2.1 Эльбрус-90микро

Эльбрус-90микро — вычислительный комплекс, разработанный российской компанией [МЦСТ](#) (MCST). Основан на микропроцессорах [МЦСТ-R150](#) и [МЦСТ-R500](#), совместимых с архитектурой [SPARC](#).

Принят на снабжение Вооружённых сил РФ в 2001 году в стационарной версии с процессором МЦСТ-R150.^[1]

В 2004 году была принята версия с микропроцессором МЦСТ-R500.

Вычислительные комплексы Эльбрус-90микро функционируют под управлением ОС [Solaris](#), [GNU/Linux](#) (например, [MC BC](#)). Существует в нескольких вариантах исполнения: РС, [ноутбук](#) предназначенный для работы в агрессивной среде, [АРМ](#) оператора, шкафное, конструктивы [Евромеханика](#) и [сРСІ](#).

5.2.2 Эльбрус-3М

Вычислительный комплекс «Эльбрус-3М1» — создан на основе [VLIW](#) процессора с архитектурой [Эльбрус 2k](#) фирмы [МЦСТ](#). В режиме двоичной компиляции эмулирует системы команд [x86](#) и [SPARC](#); поставляется с операционной системой [MCBC-Э](#) (Мобильная Система Вооружённых Си, на основе [Linux 2.6.14](#) Принята на снабжение в [BC РФ](#) в [2002 году](#)), системой программирования с оптимизирующим [компилятором](#), системой двоичной компиляции, системой тестовых и диагностических программ, средствами для обеспечения программной совместимости с многопроцессорными вычислительными комплексами (МК) «Эльбрус-2» и «Эльбрус-1». Прошёл [государственные испытания](#).^[3]

Эльбрус-3М1 — вычислительный комплекс, разработанный российской фирмой [МЦСТ](#) на базе микропроцессора [Эльбрус](#) по заказу Министерства обороны РФ для функционирования в среде операционных систем ОС Эльбрус ([OSL](#)), в варианте OSL-3М1, и защищённой ОС в варианте [MCBC 3М1](#). МК Эльбрус-3М1 обеспечивает работу в многопользовательском, многозадачном режиме вычислений в реальном масштабе времени.^[1]

Предназначен для использования в стационарных системах управления обработки информации.

В настоящее время МК «Эльбрус-3М1» выполняется в двух вариантах конструктивного исполнения: серверном варианте, пригодном также для использования в качестве настольного, и в исполнении [сРСІ](#).

Основу серверного варианта составляет устройство вычислителя УВ 3М1. МК в исполнении сРСІ занимает два модуля формата «[Евромеханика](#)» [6U](#). Аппаратура обеих исполнений МК включает



сетевое оборудование для высокоскоростных обменов с другими ВК аналогичного типа или с другими вычислительными комплексами, а также ряд интерфейсов параллельного и последовательного типа.

Необходимые для пользователя внешние интерфейсы могут быть обеспечены включением в состав ВК по желанию заказчика устройства сопряжения с внешними абонентами УСВА-М.

К устройству сопряжения с внешними абонентами УСВА-М через ячейку MC19 подключается [устройство сопряжения](#) УС19-М, которое является [устройством связи](#) с [АПД](#) 5Ц19 (аппаратный вариант).

Основные характеристики ВК «Эльбрус-3М1»

Процессорных ядер 2

Рабочая тактовая частота 300 МГц

Пиковая производительность	64 разряда 13,3 GIPS/4,8 GFLOPS
	32 разряда 19,1 GIPS/9,6 GFLOPS
	8/16 разряда 45,2 GIPS/24,4 GFLOPS

Разрядность данных	целые 32, 64
	вещественные 32, 64, 80

Средняя наработка на отказ не менее 10 000 часов

Потребляемая мощность не более 120—250 Вт

HDD 80 Гб

В [2008 году](#) будут построены 100 серверов «Эльбрус-3М» для оборонной отрасли. Теоретическая производительность двухпроцессорной системы составляет 4.8 Гфлопс (64-bit [double](#)) — для сравнения, двухъядерный процессор [Intel Core 2 Duo](#) 2,4 ГГц имеет предел 19.2 Гфлопс, двухъядерный [Itanium 2](#) 1,66 ГГц — 6.6 Гфлопс. Процессоры Эльбрус имеют площадь 189 [мм²](#), произведены по технологии [130-нм](#) и содержат 75,8 млн транзисторов. Оригинальная архитектура Е2К позволяет выполнять до 23 команд за такт и обеспечивает низкое [энергопотребление](#): 0,4 Вт/Гфлопс ^{[4][5]}.

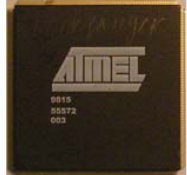




В Таблице процессоры фирмы ЗАО «МЦСТ»

5.2.3 Следующие поколения процессоров Эльбрус-1С

В 2009 году планируется начало производства процессоров по технологии 90 нм. А компьютер получит 4 таких процессора с частотой 500 МГц. В планах дальнейшее развитие процессоров:

- «Эльбрус-4С» — 64-Гфлоп, 65 нм к 2012 г.
- «Эльбрус-16С» — 1-Тфлоп, 32 нм к 2018 г

Технические характеристики микропроцессоров

					
Название микропроцессора	MCST R80	MCST R150	MCST R500	MCST R500S	Эльбрус (Е3М)
Технология	0.5мкм, 3М	0.35мкм, 4М	0.13мкм, 8М	0.13мкм, 8М	0.13мкм, 8М
Размер кристалла, мм x мм	13x13	10x10	5x5	9x9	12.6x15
Количество транзисторов, млн.	~2.1	~2.8	~4.2	~45	~60
Число процессорных ядер	1	1	1	2	1
Частота, МГц	80	150	500	500	300
Cache, I/D/L2	4/8/512kB	8kB/16kB/1MB	16kB/32kB/4MB	16/32/512kB	64/64/256
Производительность, MIPS/MFLOPS	62/22	140/63	520/200	1100/400	23100/4800
Напряжение питания, В	5	3.3	1.0/2.5	1.0/2.5/3.3	1.0/3.3
Потребляемая мощность, Вт	3	5	1	5	5
Корпус	304-pin PQFP	480-pin BGA	376-pin BGA	900 FCBGA	900 FCBGA
Год выпуска	1998	2001	2004	2007	2007
Фабрика-производитель	ATMEL ES2, France	Tower Semi, Israel	TSMC, Taiwan	TSMC, Taiwan	TSMC, Taiwan

5.3 Разработки фирмы ЭЛВИС

Россия-фирма «Элвис» контроллеры «Мультикор» контроллеры с DSP и одним из ядер RISC MIPS32

Первый «Мультикор» «MC12» = 2 ядра RISC MIPS32 + DSP == 1892BM3T

MC24=1892BM2T 1 ядро RISC MIPS+ DSP 2SIMD (2 ядра с взаимными связями 1*64 бит или 2*32)

5.4 Современные отечественные ЭВМ на вооружении

5.4.1 Мобильные и стационарные

"Багет", ЭВМ специального назначения Создана на МП «ЭльбрусС»



Назначение: Используется для организации выносных и подвижных рабочих мест операторов.

Носимая ЭВМ "Багет-41" ("Багет 41-10") для организации выносных и подвижных рабочих мест операторов. Выполнена в герметичном корпусе из алюминиевого сплава, с герметичной клавиатурой, манипулятором и жидкокристаллическим дисплеем. Предназначена для работы в полевых условиях, а также на вездеходных и гусеничных шасси, морских и речных судах, допускает десантирование.

Короче говоря, так: большинство типов ЭВМ "Багет" разрабатывает и производит КБ "Корунд-М". Есть и другие предприятия, часть из которых занята разработкой или производством отдельных типов ЭВМ "Багет".

Все базовые ЭВМ создаются на основе процессорных модулей с MIPS-архитектурой, разработки НИИСИ РАН, и SPARC-архитектурой, разработки ЗОА МЦСТ. Конструкция модулей – «Евромеханика –6U» с кондуктивным отводом тепла

Описание: Под шифром ЭВМ «Багет ВМФ» разрабатывается семейство ЭВМ для построения корабельных систем и комплексов.

Все модели ЭВМ разрабатываются на основе БНК «Багет ВМФ».

Модели ЭВМ, разработанные на основе ЭВМ «Багет-ВМФ», имеют наименование: ЭВМ – «Багет 7X-XX», где цифра 7 означает применение изделия в корабельных системах и комплексах, следующая за ней цифра X условно обозначает тип и архитектуру процессорного элемента, а две цифры XX, отделенные знаком «-», номер модификации ЭВМ «Багет-7X», присвоенный разработчиком.

Например – ЭВМ «Багет 73-03»; ЭВМ «Багет-74-01».

Все базовые ЭВМ создаются на основе процессорных модулей с MIPS-архитектурой, разработки НИИСИ РАН, и SPARC-архитектурой, разработки ЗОА МЦСТ. Конструкция модулей – «Евромеханика –6U» с кондуктивным отводом тепла.

Разработаны и освоены в серийном производстве: ЭВМ с MIPS- архитектурой: «Багет 73-XX» на основе процессорного модуля БТ23-202В и ЭВМ «Багет 73М-XX» на основе процессорных модулей БТ23-205Г, БТ23-206Г (211Г).

В стадии завершения находится разработка ЭВМ «Багет 74-XX» со SPARC-архитектурой на основе процессорного модуля МВС/С-К. Срок окончания испытаний – июнь 2008г.

Базовые модели ЭВМ могут доукомплектовываться дополнительными электронными модулями, разработанными в рамках программы «Интеграция-СВТ» или модулями пользователя.

ОАО «Концерн «Моринформсистема-Агат» на основе базовой ЭВМ «Багет 73-XX» разработал и освоил в производстве порядка 40 проблемно ориентированных исполнений ЭВМ для различных, по своему функциональному назначению, корабельных систем и комплексов.

В ЭВМ "Багет" применяются процессоры INTEL 486DX4 (в первых моделях), отечественные 1B577, 1B578, 1B579.

Модуль центрального процессора БТ23-202В:

- микропроцессор с архитектурой MIPS 1890BM2
- системная шина VME
- тактовая частота, МГц 50
- ОЗУ, Мбайт 16
- КЭШ-память, Кбайт 256



- ППЗУ –флэш, Мбайт 16
- количество подключаемых мезонинов 2
- внешние интерфейсы (встроены):
- последовательный RS-232 3
- последовательный RS-422
- операционная система ОС РВ «Багет»

емкость ППЗУ(флэш-память), Мбайт 124 16
 емкость ППЗУ(флэш-память), Мбайт 124 16

Модуль	БТ23-205А	БТ23-206Г (БТ23-211Г)
Архитектура	MIPS	MIPS
тактовая частота, МГц	80	200(280)
емкость ОЗУ, Мбайт	32	512
емкость ППЗУ(флэш-память), Мбайт	124	16
системная шина	VME	VME
интерфейсы: – RS 23 RS 422 – ETHERNET – PS/2	6 1 - -	6 1 1 1
ток потребления, А – по цепи + 5 В – по цепи 3,3 В	0,7 1,5	2,25 1,3
операционная система	ОС РВ «Багет»	ОС РВ «Багет» ОС МСВС

Модуль процессора МВС/С-К.
 Модуль включает в себя 2, 3 или 4 кластера (система на кристалле 1891ВМ3 + память DDR SDRAM 1024 Мбайт), размещенных на печатной плате и связанных между собой link-каналами, флэш-диск объемом 16 Мбайт, периферийный контроллеры. Микросхема 1891ВМ3 включает в себя:
 – два процессорных ядра R-500 (тактовая частота 500 МГц) с КЭШ-памятью первого уровня 16 Кбайт для команд и 32 Кбайт для данных в каждом;
 – общий для обоих процессоров КЭШ

- второго уровня 512 Кбайт;
 - контроллер DDR SDRAM с пропускной способностью 2,6 Гбайт/с;
 - два контроллера link-каналов с пропускной способностью 667 Мбайт/с каждый;
 - контроллер PCI (32р, 66 МГц);
 - сетевой контроллер Ethernet 100;
 - контроллер SCSI-2 с пропускной способностью 10 Мбайт/с;
 - два контроллера RS-232;
 - контроллер шины E-bus для подключения памяти начальной загрузки (Boot), часов реального времени (RTC) и энергонезависимой памяти (NVRAM);
 - контроллер PS/2 для мыши и клавиатуры.
- Периферийный контроллер SB включает в себя:
- контроллер шины IDE (2 канала);
 - два контроллера шины USB 1.1;
 - контроллер флэш-диска.

На плате процессорного модуля имеется две группы разъемов с интерфейсом PCI для установки 2-х мезонинных плат контроллеров в конструктиве PMC, в том числе разработанных в рамках КЦП «Интеграция СВТ», например, БТМ23-407 (SCSI), БТМ23-408 (ETHERNET), БТМ23-502 (VGA), БТМ23-420 (IDE, CENTRONICS), БТМ23-421 (Манчестер)

5.4.2 Авиационные ЭВМ

Цифровые вычислительные средства в составе бортового оборудования самолетов появились на рубеже 60-х годов и за относительно короткий срок практически полностью заменили используемые ранее аналоговые вычислители, поскольку обеспечивали более высокую точность решения задач, характеризовались большей универсальностью применения и обладали широкими логическими возможностями.



Внешний вид типового КФМ

Эти качества бортовой цифровой вычислительной машины (БЦВМ) позволяют использовать ее практически во всех подсистемах бортового оборудования самолета, обеспечивают устойчивость БЦВМ к усложнению алгоритмов и позволяют применять более сложные, а значит, и более совершенные законы управления самолетом и его подсистемами. Они позволили осуществить информационное взаимодействие между отдельными (ранее непосредственно не взаимодействовавшими) подсистемами бортового оборудования и образовать единый комплекс бортового оборудования (КБО), что в конечном счете повысило эффективность выполнения полетного задания и безопасность полета.

Использование БЦВМ потребовало определенной унификации радиоэлектронного оборудования самолета, в результате которой сократились сроки и снизились затраты на разработку и последующую модернизацию КБО и затраты на его эксплуатацию.

Для эффективного применения средств цифровой вычислительной техники в составе бортового оборудования самолетов необходимо было решить следующие проблемы:

- разработать БЦВМ, максимально удовлетворяющие по всем параметрам требованиям конкретного применения;
- создать системы обмена информацией, обеспечивающие как сопряжение БЦВМ с бортовой аппаратурой (датчиками и исполнительными органами), так и взаимодействие машин между собой в составе бортовой вычислительной системы;
- разработать ПО, включающее средства создания и отладки программ и средства, обеспечивающие вычислительный процесс и функционирование машины.

Необходимость решения двух первых проблем была очевидна изначально, а вот создание ПО казалось делом второстепенным. Поэтому на ранних стадиях развития цифровой авионики основное внимание уделялось разработке БЦВМ и средств ее сопряжения с бортовой аппаратурой. Проблема создания ПО обострялась по мере усложнения структуры машины, расширения круга решаемых задач, появления и развития бортовых вычислительных систем, и в настоящее время затраты на разработку ПО превышают затраты на создание аппаратных средств.

Разработка средств цифровой вычислительной техники для бортового оборудования самолетов началась в СССР во второй половине 50-х годов. В это время подавляющее большинство НИИ и приборостроительных КБ Минавиапрома (ОКБ “Электроавтоматика” — ЛНПОЭА, МИЭА, ГосНИИАС, НИИП) и Минрадиопрома (НИИ “Аргон” — НИЦЭВТ, ВНИИРА, НПО “Вега”, МНИИ “Агат”) (везде использованы современные названия) и ряд других предприятий начали разработку макетов различного рода цифровых вычислительных устройств (ЦВУ), бортового оборудования самолетов, а затем и ракет. К началу 60-х годов были созданы бортовые ЦВУ, специализированного и универсального типов, большинство из которых практически не были востребованы. Исключение составляла БЦВМ “Пламя-ВТ” (НПО “Вега”), которую можно рассматривать как прототип машин

серии “Орбита”.



Внешний вид различных типов модулей

К середине 60-х годов определились три предприятия — ЛНПОЭА (ОКБ “Электроавтоматика”, С.-Петербург), НИЦЭВТ (НИИ “Аргон”, Москва), и ХК “Ленинец” (С.-Петербург), на три последующих десятилетия ставшие основными разработчиками БЦВМ авиационного применения. Позднее разработку БЦВМ проводили и другие предприятия, такие, как МИЭА (Москва), МНИИ “Агат” (Жуковский), ОКБ “Авиаавтоматика” (Курск), 3-й МПЗ МНПК “Авионика” (Москва) и др. В начале 90-х годов в число разработчиков БЦВМ вошло Раменское приборостроительное КБ (РПКБ), НИИСИ РАН, ОАО “Русская авионика” (Жуковский). Основным разработчиком БЦВМ для ракет, используемых в качестве авиационного вооружения, стал НИИ приборостроения (Москва), который за этот период разработал серию бортовых вычислительных устройств (БЦВУ-201, БЦВУ-301, БЦВУ-305-10, БЦВУ-305-12, БЦВУ-350, БЦВУ-400) и серию встраиваемых БЦВМ (“Заря-30”, “Заря-32”, “Заря-32М”, “Заря-35”, “Заря-37М”, “Заря-38” и “Заря-32МК”), а также автономные БЦВМ “Заря-40” и “Заря-41”.

С появлением серийно выпускаемых микропроцессоров (МП) разработка различных БЦВМ пошла широким фронтом. В это время были созданы: БЦВМ серии “Интеграция”, Ц-175, Ц-176 (ХК “Ленинец”, БЦВМ “Молния” и “Молния-Д” (МНПК “Авионика”), БЦВМ “Алиса” (МНИИ “Агат”), БЦВМ МПО (ОКБ “Авиаавтоматика”), БЦВМ “Сигма” (НПЦ “Синис”) и ряд других. Однако большинство этих разработок не получило практического применения. В 90-х годах создаются БЦВМ на основе i80386 и i80486, в числе которых можно отметить семейство БЦВМ-386/486 (АО РПКБ), БЦВМ МВК (ОАО “Русская авионика”) и БЦВМ МБ-5 (АО НТЦ “Модуль”).

Уже в начале 70-х годов БЦВМ используются практически во всех подсистемах КБО. Эти подсистемы создавались на предприятиях различных министерств. Например, радиоэлектронные комплексы разрабатывались Минрадиопромом и оснащались БЦВМ, созданными в НИИ “Аргон”, навигационно-пилотажные комплексы и системы индикации разрабатывались Миновиапромом и оснащались БЦВМ, созданными в ЛНПОЭА. На борту самолетов использовались БЦВМ с различной архитектурой, что серьезно затрудняло отработку аппаратуры и программного обеспечения КБО, увеличивало сроки создания комплексов, повышало затраты на их разработку и эксплуатацию.

На основе анализа, проведенного в конце 70-х — начале 80-х годов была разработана программа создания семейств унифицированных СБЭВМ для использования на подвижных объектах всех классов. Эта программа была утверждена в 1984 г. решением Государственной Комиссии. В соответствии с ней в ЛНПОЭА были начаты работы по созданию унифицированных СБЭВМ — СБ3541 и СБ3542 с архитектурой типа “Электроника-32”, а в НИИ “Аргон” — СБ5140 с архитектурой “ПОИСК”. К сожалению, эта программа не была выполнена. Были разработаны лишь отдельные машины (и то со значительным отставанием по срокам) — СБ3541 на базе МПК1839, СБ5140 и СБ5580 на основе БМК 1537ХМ2. Опыт работ по созданию СБЭВМ был учтен, а сама идея межвидовой унификации получила логическое завершение в разработках ЭВМ семейства “Багет” (головной разработчик НИИСИ РАН), в состав которого входят также и машины авиационного применения “Багет-53”,



“Багет-52”, “Багет-63” и “Багет-62”

Одновременно с машинами общего назначения велись работы по созданию специализированных процессоров для обработки сигналов. В ХК “Ленинец” был создан первый промышленный программируемый процессор сигналов Ц200 и разрабатывается новый процессор Ц300. НИИСИ РАН (КБ “Корунд-М”) представил свой образец сигнального процессора “Багет-55-02” (Ц400), который выполняет операции “бабочка” со скоростью 40 млн. оп./с. В настоящее время разрабатывается более совершенный процессор Ц600.

На протяжении трех десятилетий БЦВМ качественно изменялись. Их быстродействие увеличилось более чем на три порядка и достигло десятков миллионов операций в секунду, а емкость запоминающих устройств достигает 8-16 Мб. Одновременно уменьшились вес и энергопотребление. Это обусловлено совершенствованием элементной базы, архитектуры и структурной организации машин.

Если в начале для построения БЦВМ использовались дискретные компоненты, то по мере развития элементной базы они заменялись интегральными схемами (ИС), затем схемами со средней и большой интеграцией (СИС и БИС) и наконец микропроцессорными комплектами БИС (МПК БИС).



Внешний вид ЦВМ 10-15

Замена дискретных компонентов большими интегральными схемами позволила повысить быстродействие машины более чем на два порядка при одновременном снижении на порядок и более энергопотребления и веса. Совершенствование микропроцессоров в 80-х и начале 90-х годов позволило поднять еще как минимум на порядок быстродействие БЦВМ, также улучшились внутренние и внешние интерфейсы вычислительных машин.

В первых БЦВМ использовались неунифицированные шины, обеспечивающие взаимодействие между блоками машины и преобразователи “код — аналог” и “аналог — код” для связи с абонентами. По мере развития структуры БЦВМ в качестве внутреннего интерфейса сначала использовался интерфейс “общая шина”, ГОСТ 26765.51-86, а затем и системная шина VME, которая уже является открытым интерфейсом. Аналоговый внешний интерфейс дополняется радиальными каналами для передачи последовательных кодов с пропускной способностью 48 кбит/с (ГОСТ 18977-79), затем в состав внешнего интерфейса вводятся мультимплексные каналы с пропускной способностью 1 Мбит/с (ГОСТ 26765.52-87). В дальнейшем, по мере совершенствования структуры, в составе внешнего интерфейса можно использовать каналы по ГОСТ 50832-95 (20 Мбит/с), сетевые интерфейсы типа AS4074 (HSDB), а в перспективе и интерфейс типа SCI (в варианте для систем реального времени — 1394) с пропускной способностью 1 Гбит/с и 1 Гб/с.

Проанализировав этапы развития элементной базы, архитектуры, структуры БЦВМ, ее ПО, можно сформулировать основные признаки, характеризующие поколения бортовых цифровых вычислительных машин.

Хотя любая БЦВМ может быть лишь условно отнесена к какому-либо конкретному поколению, так как некоторые ее параметры могут соответствовать или предыдущему, или последующему поколениям.

Для БЦВМ первого поколения были характерны относительно низкий информационно-вычислительный потенциал и довольно примитивная (с современной точки зрения) структура, реализуемая с применением дискретных компонентов. Структуру этих БЦВМ составляли арифметическое устройство (АУ), оперативное и постоянное запоминающие устройства (ОЗУ и ПЗУ), устройство управления (УУ) и вторичный источник питания (ВИП). Память машин была одноуровневой. Закрытая архитектура этих машин строилась на основе функциональных блоков, которые разрабатывались специально для каждого конкретного случая. Любая модернизация требовала дополнительной разработки соответствующих функциональных блоков с нужными характеристиками. Программирование производилось в машинных кодах, а для отработки программ использовались интерпретирующие системы и пульта контроля и индикации.

К типовым представителям БЦВМ первого поколения относятся созданные в ЛНПОЭА ЦВМ-263 и ЦВМ-264, которые выпускались серийно с 1964 г. Машины имеют быстродействие 62 тыс. оп./с (для операций регистр — регистр) и 31 тыс. оп./с (для операций регистр — память), ОЗУ емкостью 256 16-разрядных слов и ПЗУ емкостью 8Кх16 бит. Нароботка на отказ — 200 ч, масса — 330 кг, потребляемая мощность — 2000 Вт.

В структуре БЦВМ второго поколения начинают использоваться элементы конвейеризации, обеспечивающие совмещение в выполнении операций, процессоры, содержащие более совершенные сумматоры и специальные устройства для выполнения операций умножения, деления и вычисления элементарных функций. Структура машин реализуется на интегральных схемах, но остается детерминированной и трудно модернизируемой, т. е., по существу, закрытой. Для написания программ «начинают использоваться языки уровня ассемблера, а для их отработки — специальные отладочные комплексы, объединяющие БЦВМ с инструментальной вычислительной машиной.

Взаимодействие с абонентами БЦВМ первого и второго поколений производилось через устройство сопряжения (УС), которое содержало необходимый набор преобразователей «аналог — цифра» и «цифра — аналог», так как бортовая аппаратура имела в основном аналоговый интерфейс.



Внешний вид базового комплекса ЦВМ «Орбита-20»

Это устройство конструктивно выполнялось или в виде автономного блока, взаимодействующего с машиной по цифровому каналу, или интегрировалось с БЦВМ, образуя устройство ввода-вывода. Уже для БЦВМ первого поколения была сделана попытка унификации введением нормали 847АТ, которая регламентировала параметры аналоговых каналов. Для обмена последовательными кодами и разовыми командами в бортовых машинах второго поколения вводятся каналы ARINC-429 (ГОСТ 18977-79).

Ко второму поколению условно можно отнести БЦВМ семейств «Орбита-10» и «Орбита-20», созданные в ЛНПОЭА, а также БЦВМ «Аргон-15» разработки НИИ «Аргон» (НИЦЭВТ).

Серийный выпуск БЦВМ семейства «Орбита-10» начат в 1970 г. В составе семейства — более десяти модификаций, имеющих одинаковое быстродействие и различающихся составом УВВ и емкостью памяти.



БЦВМ семейства “Орбита-10” — 16-разрядные, их быстродействие в формате R-S и R-R равно 62,5 и 125 тыс. оп./с. В базовой модели используется ОЗУ емкостью 1024 слова, ПЗУ емкостью 16К слов и ЭЗУ емкостью 256 слов. Нарботка на отказ, вес и энергопотребление зависят от конфигурации машины и находятся в пределах 250-500 ч, 90-60 кг и 1500-500 Вт соответственно.

Программирование БЦВМ семейства осуществлялось на уровне машинных кодов, делались попытки создания языка программирования уровня ассемблера. Для отладки ПО ГосНИИАС предложил комплекс отработки программ (КОП) в составе бортовой машины, инструментальной ЭВМ и аппаратуры, обеспечивающей их сопряжения.

Серийное производство БЦВМ семейства “Орбита-20” (ЛНПОЭА), объединяющего более 50 различных модификаций, начато в 1974 г. Поньше БЦВМ этого семейства остаются самыми массовыми вычислительными машинами авиационного применения.

Все машины семейства имеют одинаковое быстродействие, равное 200 тыс. оп./с (операции сложения) и 100 тыс. оп./с (операции умножения). Базовая модель включает ОЗУ емкостью 512 слов и ПЗУ емкостью 16К слов.

Бортовая цифровая вычислительная машина “Аргон-15”, разработана в начале 70-х годов. Она поставлялась пользователям как вычислительное устройство, состоящее из центрального процессора (ЦП) с быстродействием 200 тыс. оп./с (операции сложения), ОЗУ емкостью 2К слов, ПЗУ емкостью 32К слов (четыре блока по 8К слов) и энергонезависимого ЗУ (ДЗУС). Средства сопряжения машины с бортовой аппаратурой (УВВ) создавал разработчик соответствующей подсистемы.

К середине 80-х годов было разработано четыре модификации машины: “Аргон-15”, “Аргон-15А”, “Аргон-15К” и “Аргон-15М”. БЦВМ “Аргон-15” (ОЗУ — 1К, ПЗУ — 24К слов) имеет массу 35 кг и наработку на отказ 500 ч.

Быстродействие машины “Аргон-15К” — 500 тысяч, а “Аргон-15М” — 800 тысяч коротких операций в секунду. БЦВМ “Аргон-15М” при общей емкости памяти 86К слов (ОЗУ — 5К, ПЗУ — 80К и ДЗУС — 1К слов) имеет наработку на отказ 5000 ч и весит 16,6 кг.



Внешний вид ЦВМ80-307ХХ

В БЦВМ третьего поколения использованы иерархическая память, включающая сверхоперативную память (РОН, регистры общего назначения), многоуровневая система прерывания, каналы прямого доступа к памяти, а также механизмы защиты информации от несанкционированного доступа. В структуре бортовых машин третьего поколения начинают применяться средства поддержки мультипроцессорирования. Структура этих БЦВМ имеет в основном магистрально-модульную организацию и допускает изменение характеристик машины в достаточно широких пределах путем использования необходимого количества соответствующих (унифицированных) модулей, т. е. приобретает некоторую открытость. Для построения унифицированных модулей применяются схемы со средним и высоким уровнями интеграции, в том числе и микропроцессорные комплекты больших интегральных схем (МПК БИС). В составе внешнего интерфейса для обмена информацией,



наряду с преобразователями “аналог-цифра” и “цифра-аналог”, используются разовые команды и последовательные коды (ГОСТ 18977-79) и мультиплексные каналы, выполненные в соответствии с ГОСТ 26765.52-87 (MIL-STD-1553B).

Для создания ПО объекта начинают применяться рабочие места программиста (РМП), разрабатываемые одновременно с машиной.

К третьему поколению БЦВМ можно условно отнести машины семейств ЦВМ 80-30XXX (ЛНПОЭА), ЦВМ 80-40XXX (ЛНПОЭА), “Заря-30” (НИИП), “Заря-40” (НИИП), БЦВМ Ц-100, Ц101, Ц102 и Ц104 (НИИ “Аргон”) БЦВМ А-30, А-40 и А-50 (НИИ “Аргон”) и СБМВ-1, СБМВ-2 (МНПК “Авионика”).

Серийное производство бортовых ЭВМ семейства ЦВМ 80-30XXX начато в 1986 г. Быстродействие машин составляет 600 и 300 тыс. оп./с (сложение регистр — регистр и регистр — память) и 100 тыс. оп./с (умножение).

В составе семейства представлены четыре модификации: 80-302XX, 80-303XX, 80-307XX и 80-308XX. Они имеют одинаковое быстродействие, но различаются емкостью памяти, составом УВВ и физическими характеристиками. Минимальную емкость памяти (ОЗУ — 4К, ПЗУ — 12К и ЭЗУ — 1К слов) имеет 80-303XX, максимальную (ОЗУ — 24К, ПЗУ — 72К и ЭЗУ — 1К слов) — 80-307XX. Особенностью 80-307XX является трехпроцессорная структура, особенностью 80-308XX — наличие мультиплексного (ГОСТ 26765.52-87) канала обмена. Для отладки ПО предлагается рабочее место программиста РМП-80.

Серийное производство машин семейства ЦВМ 80-40XXX начато в 1987 г. Машины имеют одинаковое быстродействие, равное 800 и 500 тыс. оп./с (регистр — регистр и регистр — память соответственно). Емкость памяти изменяется в пределах: для ОЗУ — от 10К до 24К слов; для ПЗУ — от 48К до 224К слов; для ЭЗУ — от 16К до 224К слов. Интерфейсные модули построены в соответствии с ГОСТ 18977-79 и ГОСТ 26765.52-87. Разработаны две однопроцессорные и четыре двухпроцессорные конфигурации БЦВМ, различающиеся емкостью памяти и составом интерфейса. Для отладки ПО предлагается рабочее место программиста РМП-85.

БЦВМ на основе архитектуры “ПОИСК” (проблемно-ориентируемая с изменяемой системой команд) разработаны в НИИ “Аргон”. Первая БЦВМ ряда Ц100 была передана в серийное производство в 1983 г. В начале 80-х годов созданы машины Ц101 и Ц102, а в 1986 г. завершена машина Ц104.

Потенциальное эффективное быстродействие Ц100 составляет 180 тыс. оп./с, Ц101, Ц102 и Ц104 — порядка 400 тыс. оп./с. Емкость ОЗУ в Ц101 и Ц102 составляет 16К*18 бит, ПЗУ — 64К*16 бит (128К*16 бит), ЭЗУ 256в16 бит. БЦВМ Ц104 имеет ОЗУ емкостью 8К*18 бит, ПЗУ — 64К*16 бит и ЭЗУ — 256в16 бит. Масса машин Ц101 и Ц102 23 кг, энергопотребление — 300 Вт, а Ц104 — 21 кг и 200 Вт соответственно. Вместе с машиной пользователю предлагается система автоматизации программирования, отладки и документирования (САПОД), которая содержит: конфигуратор для настройки транслятора на состав операторов изделия, транслятор с языка символического кодирования операторов и загрузчик. Подсистема автоматизации отладки позволяет проводить автономную и статическую комплексную отладку в среде ОС ЕС в интерактивном режиме и включает в себя диспетчер отладки, транслятор с языка отладки и интерпретатор машинных команд изделия. Разработка БЦВМ с архитектурой ЕС ЭВМ была начата в НИИ “Аргон” в середине 70-х годов. Эта архитектура использовалась в БЦВМ А-30, А-40 и А-50.



Быстродействие БЦВМ А-30 порядка 625 тыс. оп./с (регистр — регистр), емкость ОЗУ — 32 Кб, ПЗУ — 256 Кб, ДЗУС — 1 Кб. Масса машины составляет 150 кг, энергопотребление — 800 Вт.

БЦВМ А-50 полностью совместима с ЕС ЭВМ, ее быстродействие — 2 млн. оп./с (регистр — регистр). Емкость ОЗУ увеличена до 16 Мб, используются накопители на магнитной ленте и на магнитных цилиндрах, приспособленные для жестких условий эксплуатации. Для создания ПО используются рабочие места, выполненные на базе ЕС ЭВМ.

Разработка БЦВМ СБМВ-1 и СБМВ-2 (МНПК “Авионика”) начата в середине 80-х годов. К 1993 г. было выпущено несколько сот этих машин. В режиме фиксированной запятой ее быстродействие составляет 1000 тыс. оп./с и 50 тыс. оп./с (операции сложения и умножения). Операции с плавающей запятой со скоростью 80 тыс. оп./с. Энергопотребление не превышает 10 Вт.

Четвертое поколение БЦВМ характеризуется открытой архитектурой. Машины этого поколения могут иметь интегрированную структуру, в состав которой наряду с процессорами общего назначения могут входить и специализированные процессоры. В качестве внешнего интерфейса БЦВМ в настоящее время используются каналы двух типов — по ГОСТ 18977-79 (для обмена разовыми командами) и по ГОСТ 26765.52-87 (для основного обмена информацией).

По мере совершенствования структуры БЦВМ в рамках этого поколения в состав внешнего интерфейса могут быть включены каналы по ГОСТ Р50832-95 и сетевой интерфейс типа AS4074. Использование открытых унифицированных интерфейсов позволяет провести глубокую унификацию, охватывающую все компоненты машины — аппаратные модули, конструктивное исполнение и программное обеспечение.

К четвертому поколению можно условно отнести БЦВМ 90-50XXX, семейство БЦВМ-386/486 и БЦВМ “Багет-53”.

Разработка семейства БЦВМ-386/486 начата в АО РПКБ в 90-х годах. В серийное производство эти БЦВМ должны быть запущены в этом году.

Предсерийная партия (более 70 опытных образцов), выпущенная к концу 1998 г., уже используется для отработки бортовых комплексов самолетов и вертолетов.

Процессор БЦВМ-386 построен на базе МПК i386DX (тактовая частота 20 МГц) и обеспечивает в режиме плавающей запятой на коротких операциях быстродействие от 0,77 до 2,86 млн. оп./с.

В составе процессорного модуля предусмотрено ОЗУ емкостью 512 Кб, ПЗУ емкостью 512 Кб, флэш-память емкостью 1 Мб и ОЗУ полетных заданий емкостью 64 Кб. Модули внешнего интерфейса обеспечивают обмен в соответствии с ГОСТ 26765.52-87 и ГОСТ 18977-79. Нарботка на отказ БЦВМ-386-1 в указанной конфигурации — 10 000 часов, масса — 9 кг, энергопотребление — 100 Вт.

Для отработки ПО предлагается рабочее место программиста РМП БЦВМ-386.

Базовая модель БЦВМ-486 (БЦВМ-486-1) содержит в структуре модуль ЦП, который построен на основе i80486 DX2, работающий на тактовой частоте 50 МГц и обеспечивающий в режиме фиксированной запятой при выполнении операций сложения регистр — регистр, регистр — память и умножения (32в32) быстродействие 50,



15 и 2 млн. оп./с соответственно. В составе модуля используются ОЗУ и ЭЗУ емкостью по 2 Мб. Нарботка на отказ этой машины 10 000 ч, масса 13 кг, энергопотребление — 120 Вт. Для отработки программного обеспечения предлагается рабочее место программиста РМП БЦВМ-486.

Основные черты пятого поколения БЦВМ еще окончательно не определены. Однако обязательным качеством этих машин следует считать наличие в структуре унифицированных внутренних и внешних (последовательных) интерфейсов, модулей интеллектуальных процессоров, способных к адаптации и обучению, а также “дружелюбного”, интеллектуального интерфейса и развитых операционных систем и инструментальных средств поддержки разработки программ на всех этапах их жизненного цикла.

Работы по созданию БЦВМ пятого поколения все еще находятся на стадии НИР. Сроки перехода к опытно-конструкторским разработкам и создание опытных образцов целиком зависят от финансирования.



НОСИМЫЕ ЭВМ ДЛЯ ПРИМЕНЕНИЯ В ПОЛЕВЫХ УСЛОВИЯХ

ЭВМ Baget-1 и Baget-2 — высококачественные носимые ЭВМ для работы в полевых условиях. Baget-1 — ЭВМ типа «ноутбук», в корпусе герметичного алюминиевого корпуса, с герметичными клавиатурой, манипулятором и обзорным дисплеем. Предназначена для мобильного использования и для организации носимых рабочих мест в составе комплексов. Baget-2 — специализированная мини-габаритная ЭВМ, предназначенная для работы в составе специализированных комплексов.

БАГЕТ-41

ЭВМ для организации рабочих мест в полевых условиях

ОС типа Unix, MS DOS, Windows 3.1

Процессор I486DX 133 МГц, шина ISA, герметичный корпус, клавиатура, графический манипулятор и обзорный ЖК-монитор



Baget-41 имеет герметичный алюминиевый корпус и защищенные клавиатурой, манипулятором и обзорным дисплеем. Предназначена для работы в полевых условиях.



Программа для носимых устройств ЭВМ Baget-41 работает под ОС/Unix, MS-DOS, MS-Windows 3.11. Для работы в полевых условиях предусмотрена возможность подключения дисплея и клавиатуры к устройству через кабель.

Baget-41 — носимая ЭВМ для организации вычислительных и носимых рабочих мест операторов. Функционально совместима с PC-486 типа «ноутбук». Выпускается в герметичном алюминиевом корпусе. Предназначена для работы в полевых условиях, а также для организации, вычисления и управления объектами, не зависящими от платформы, вычисления и расчета сумм, загрузки и деагрегации сумм. Срок службы 20 лет, срок гарантии 3 лет, средняя выработка на отказ 10 000 часов. Выпускается в 1992 году.

- ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ**
 - процессор I486DX 133 МГц
 - тактовая частота 133 МГц
 - оперативная память 1 Мб
 - жесткий диск 100 Мб
 - дисковод 3.5" 1.44 Мб
 - клавиатура и манипулятор
 - дисплей ЖК-тип 10.4"
 - аккумуляторная батарея
 - блок питания
 - блок модема
 - блок адаптера ISA
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ

- ВАРИАНТЫ ИСПОЛНЕНИЯ**
 - вариант с процессором I486DX 133 МГц
 - вариант с процессором I486DX 100 МГц
 - вариант с процессором I486DX 66 МГц
 - вариант с процессором I486DX 33 МГц
 - вариант с процессором I486DX 16 МГц
 - вариант с процессором I486DX 8 МГц
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ

- ВАРИАНТЫ ИСПОЛНЕНИЯ**
 - вариант с процессором I486DX 133 МГц
 - вариант с процессором I486DX 100 МГц
 - вариант с процессором I486DX 66 МГц
 - вариант с процессором I486DX 33 МГц
 - вариант с процессором I486DX 16 МГц
 - вариант с процессором I486DX 8 МГц
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ

- ВАРИАНТЫ ИСПОЛНЕНИЯ**
 - вариант с процессором I486DX 133 МГц
 - вариант с процессором I486DX 100 МГц
 - вариант с процессором I486DX 66 МГц
 - вариант с процессором I486DX 33 МГц
 - вариант с процессором I486DX 16 МГц
 - вариант с процессором I486DX 8 МГц
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ



МНОГОМАШИННЫЕ ВЫЧИСЛИТЕЛЬНЫЕ КОМПЛЕКСЫ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Бэгет-55, Бэгет-55-04, Бэгет-56 — много-машинные ЭВМ (комплексные комплексы) для цифровой обработки радиолокационных, радиотехнических, акустических сигналов и больших объемов информации, а также решение задач управления в реальном масштабе времени. ЭВМ Бэгет-55 имеет клавиатурную конструкцию для установки в стойку и аппаратный интерфейс и заданное исполнение. ЭВМ Бэгет-55-04, Бэгет-56 монтирует модули в стандартном шасси типа «слот» и комплектуется в герметичном корпусе, с принудительным воздушным охлаждением корпуса, с блоком питания от батарей или, может работать в автономном режиме.

БАГЕТ-55-04, БАГЕТ-56

Комбинированные ЭВМ (комплексы) для цифровой обработки сигналов и решения задач управления в реальном масштабе времени

Специальное ПО реального времени

Процессоры 18577, 18578, спецшина, шина VME, кондуктивный теплоотвод



Для модификации ЭВМ имеет 1 модуль. Модульные платы ЗПУ, в модуль обработки сигнала ЗПУ и в модуль обработки данных ЗПУ. На шасси реализованы все виды интерфейсов.



Аппаратный интерфейс обработки информации

ЭВМ Бэгет-55-04, Бэгет-56 — специализированные много-машинные комплексы (комплексные комплексы) для цифровой обработки радиолокационных, радиотехнических, акустических сигналов, а также решение задач управления в реальном масштабе времени. Системы из преобразователей аналогового сигнала (ПАС) и управляющих вычислительных устройств (УВУ), объединяемых общей магистралью шины (VME). Предназначены в основном для решения задач обработки информации в режиме реального времени и в реальном масштабе времени. Срок службы 20 лет, срок гарантии 3 лет, средняя выработка на отказ 10 000 часов. Выпускается в 1992 году.

- ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ**
 - процессоры 18577, 18578
 - тактовая частота 10 МГц
 - оперативная память 1 Мб
 - жесткий диск 100 Мб
 - дисковод 3.5" 1.44 Мб
 - клавиатура и манипулятор
 - дисплей ЖК-тип 10.4"
 - аккумуляторная батарея
 - блок питания
 - блок адаптера ISA
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ

- ВАРИАНТЫ ИСПОЛНЕНИЯ**
 - вариант с процессором I486DX 133 МГц
 - вариант с процессором I486DX 100 МГц
 - вариант с процессором I486DX 66 МГц
 - вариант с процессором I486DX 33 МГц
 - вариант с процессором I486DX 16 МГц
 - вариант с процессором I486DX 8 МГц
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ

- ВАРИАНТЫ ИСПОЛНЕНИЯ**
 - вариант с процессором I486DX 133 МГц
 - вариант с процессором I486DX 100 МГц
 - вариант с процессором I486DX 66 МГц
 - вариант с процессором I486DX 33 МГц
 - вариант с процессором I486DX 16 МГц
 - вариант с процессором I486DX 8 МГц
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ

- ВАРИАНТЫ ИСПОЛНЕНИЯ**
 - вариант с процессором I486DX 133 МГц
 - вариант с процессором I486DX 100 МГц
 - вариант с процессором I486DX 66 МГц
 - вариант с процессором I486DX 33 МГц
 - вариант с процессором I486DX 16 МГц
 - вариант с процессором I486DX 8 МГц
- ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ**
 - ОС Unix
 - MS-DOS
 - MS-Windows 3.11
 - пакеты прикладных программ



6 Семейства (системы команд) процессоров

6.1 8080, Z80

8-разрядные

6.2 X86=IA32

Это расширение 16 битных процессоров X86

6.3 Расширения IA32

-x64, SSE, SSE2, SSE3, SSE4 (Nehalem)

Intel "АТОМ" - самая миниатюрная и малопотребляющая МП

Последнее ядро Nehalem Intel core7i, Xeon 3500, Xeon 5500 45nm – изолятор затвора на основе гафния, затвор метал (ранее изолятор- окись кремния, затвор-кремний)

6.4 IA64

Itanium, Эльбрус 3М

6.5 SPARC (SUN)

SPARC (Scalable Processor ARChitecture — масштабируемая процессорная архитектура) — архитектура [RISC-микропроцессоров](#), первоначально разработанная в [1985 году](#) компанией [Sun Microsystems](#).

Архитектура SPARC является открытой, это значит, что:

- Архитектура системы команд SPARC опубликована как стандарт [IEEE 1754—1994](#);
- Спецификации SPARC доступны для лицензирования любой компанией или частным лицом и дают возможность разрабатывать свои собственные решения;
- Развитием архитектуры SPARC занимается независимая некоммерческая организация **SPARC International, Inc.**, основанная в [1989 году](#). Членство в SPARC International открыто для всех желающих.

Для производства процессоров с архитектурой SPARC достаточно закупить у **SPARC International, Inc.** лицензию на архитектуру системы команд (\$99) и разработать свою реализацию архитектуры, либо закупить готовую реализацию (что несколько дороже).

Существовало несколько ревизий архитектуры SPARC, самыми последними являются версии 8 и 9.

[Версия 8 архитектуры SPARC](#) описывает 32 разрядный микропроцессор, тогда как [версия 9](#) — 64 разрядный.

6.5.1 Архитектура SPARCv8

Архитектура SPARCv8 описана в книге *The SPARC architecture manual : version 8 / SPARC International, Inc. Englewood Cliffs, N.J. : Prentice Hall, c1992. xxix, 316 p. [ISBN 0-13-825001-4](#) (pbk.)*, которая доступна также и в электронном виде [\[1\]](#).



6.5.2 Архитектура SPARCv9

Архитектура SPARCv9 описана в книге *The SPARC architecture manual : version 9 / SPARC International, Inc. ; David L. Weaver, Tom Germond, editors. : PTR Prentice Hall, c1994. xxi, 357p. ISBN 0-13-099227-5*, которая доступна также и в электронном виде [2].

6.5.3 Реализации SPARCv8

- реализации [Texas Instruments](#);
- реализации v8: MicroSPARC и все все все;
- [LEON2](#) — открытая реализация архитектуры SPARCv8;
- [R100 R150 R500 R500S](#) реализация [МЦСТ](#).

6.5.4 Реализации SPARCv9

- [UltraSPARC Processors](#);
- [OpenSPARC](#) — открытое RTL-описание на языке [Verilog](#) процессора [UltraSPARC T1](#)
- [SPARC64™](#) — реализация [Fujitsu](#). Используется в семействе серверов [PRIMEPOWER](#);

6.5.5 Характеристики микропроцессоров SPARC

Данная таблица содержит спецификации на некоторые процессоры SPARC: Тактовая частота (МГц), версия архитектуры, год выпуска, количество потоков (потоков на ядро умноженных на количество ядер), технологический процесс (микрометров), количество транзисторов (миллионов), площадь кристалла (кв. мм.), количество [I/O](#) контактов, потребляемая мощность (Ватт), напряжение питания, и размеры кэшей данных, инструкций, а также L2 and L3 (Килобайт).

МЦСТ R-500S» — 4 GIPS/

1,6 Гфлопс).



Название	Модель	Частота, (МГц)	Версия архитектуры	Год	Всего потоков ^[1]	Техн. проц есс, (μm)	Транзи сторов, (млн.)	Пло щ кр, (мм ²)	Кол-во контакт ов	Потр мощн, (Вт)	Напря жение питания, (В)	L1 D-кэш, (Кб)	L1 I-кэш, (Кб)	L2 кэш, (Кб)	L3 кэш, (Кб)
SPARC	(various) ^[2]	14.28—40	V7	1987-1992	1×1=1	0.8—1.3	~0.1—1.8	--	160—256	--	--	0—128 (unified)	--	none	none
MB86900		16.67	V7	1987	1×1=1	1.2	--	--	--	--	--	--	--	--	--
microSPARC I (Tsunami)	TI TMS390S10	40—50	V8	1992	1×1=1	0.8	0.8	225?	288	2.5	5	2	4	none	none
SuperSPARC I (Viking)	TI TMX390Z50 / Sun STP1020	33—60	V8	1992	1×1=1	0.8	3.1	--	293	14.3	5	16	20	0-2048	none
SPARC lite	Fujitsu MB8683x	66—108	V8E	1992	1×1=1	--	--	--	144—176	--	2.5/3.3V	1—16	1—16	none	none
hyperSPARC (Colorado 1)	Ross RT620A	40—90	V8	1993	1×1=1	0.5	1.5	--	--	--	5?	0	8	128-256	none
microSPARC II (Swift)	Fujitsu MB86904 / Sun STP1012	60—125	V8	1994	1×1=1	0.5	2.3	233	321	5	3.3	8	16	none	none
hyperSPARC (Colorado 2)	Ross RT620B	90—125	V8	1994	1×1=1	0.4	1.5	--	--	--	3.3	0	8	128-256	none
SuperSPARC II (Voyager)	Sun STP1021	75—90	V8	1994	1×1=1	0.8	3.1	299	--	16	--	16	20	1024-2048	none
hyperSPARC (Colorado 3)	Ross RT620C	125—166	V8	1995	1×1=1	0.35	1.5	--	--	--	3.3	0	8	512-1024	none
TurboSPARC	Fujitsu MB86907	160—180	V8	1995	1×1=1	0.35	3.0	132	416	7	3.5	16	16	512	none
UltraSPARC I (Spitfire)	Sun STP1030	143—167	V9	1995	1×1=1	0.47	5.2	315	521	30 ^[3]	3.3	16	16	512-1024	none



UltraSPARC I (Hornet)	Sun STP1030	200	V9	1998	1×1=1	0.42	5.2	265	521	--	3.3	16	16	512-1024	none
hyperSPARC (Colorado 4)	Ross RT620D	180—200	V8	1996	1×1=1	0.35	1.7	--	--	--	3.3	16	16	512	none
<u>SPARC64</u>	Fujitsu (HAL)	101—118	V9	1995	1×1=1	0.4	--	297+ 163+	286	50	3.8	128	128	--	--
SPARC64 II	Fujitsu (HAL)	141—161	V9	1996	1×1=1	0.35	--	142 202+ 103+	286	64	3.3	128	128	--	--
SPARC64 III	Fujitsu (HAL) MBCS70301	250—330	V9	1998	1×1=1	0.24	17.6	240	--	--	2.5	64	64	8192	--
<u>UltraSPARC IIs (Blackbird)</u>	Sun STP1031	250—400	V9	1997	1×1=1	0.35	5.4	149	521	25 ^[4]	2.5	16	16	1024 or 4096	none
UltraSPARC IIs (Sapphire-Black)	Sun STP1032 / STP1034	360—480	V9	1999	1×1=1	0.25	5.4	126	521	21 ^[5]	1.9	16	16	1024— 8192	none
UltraSPARC IIs (Sabre)	Sun SME1040	270—360	V9	1997	1×1=1	0.35	5.4	156	587	21	1.9	16	16	256— 2048	none
UltraSPARC IIs (Sapphire-Red)	Sun SME1430	333—480	V9	1998	1×1=1	0.25	5.4	--	587	21 ^[6]	1.9	16	16	2048	none
UltraSPARC IIs (Hummingbird)	Sun SME1701	400—500	V9	2000	1×1=1	0.18 Al	--	--	370	13 ^[7]	1.5-1.7	16	16	256	none
UltraSPARC IIs (Phantom)	--	550—650	V9	2002	1×1=1	0.18 Cu	--	--	370	17.6	1.7	16	16	512	none
<u>SPARC64 GP</u>	Fujitsu SFCB81147	400—810	V9	2000	1×1=1	0.18	30.2	217	--	--	1.8	128	128	8192	--
<u>SPARC64 IV</u>	Fujitsu	450—810	V9	2000	1×1=1	0.13	--	--	--	--	--	128	128	2048	--



	MBCS80523																
UltraSPARC III (Cheetah)	Sun SME1050	600	V9	2001	1×1=1	0.18 Al	29	330	1368	53	1.6	64	32	8192	none		
UltraSPARC III (Cheetah)	Sun SME1052	750—900	V9	2001	1×1=1	0.13 Al	29	--	1368	--	1.6	64	32	8192	none		
UltraSPARC III Cu (Cheetah+)	Sun SME1056	1002—1200	V9	2001	1×1=1	0.13 Cu	29	232	1368	80 ^[8]	1.6	64	32	8192	none		
UltraSPARC IIIi (Jalapeno)	Sun SME1603	1064—1593	V9	2003	1×1=1	0.13	87.5	206	959	52	1.3	64	32	1024	none		
SPARC64 V (Zeus)	Fujitsu	1100—1350	V9/JP S1	2003	1×1=1	0.13	190	289	269	40	1.2	128	128	2048	--		
SPARC64 V+ (Olympus-B)	Fujitsu	1650—2160	V9/JP S1	2004	1×1=1	0.09	400	297	279	65	1	128	128	4096	--		
UltraSPARC IV (Jaguar)	Sun SME1167	1050—1350	V9	2004	1×2=2	0.13	66	356	1368	108	1.35	64	32	16384	none		
UltraSPARC IV+ (Panther)	Sun SME1167A	1500—2100	V9	2005	1×2=2	0.09	295	336	1368	90	1.1	64	64	2048	32768		
UltraSPARC T1 (Niagara)	Sun SME1905	1000—1400	V9 / UA 2005	2005	4×8=32	0.09	300	340	1933	72	1.3	8	16	3072	none		
SPARC64 VI (Olympus-C)	Fujitsu	2150—2400	V9/JP S2	2007	2×2=4	0.09	540	422	--	120	--	128	128	5120	none		
UltraSPARC T2 (Niagara 2)	Sun SME1908A	1000—1400	V9 / UA 2007	2007	8×8=64	0.065	503	342	1831	95	1.1—1.5	8	16	4096	none		
UltraSPARC T2 Plus (Victoria Falls)	Sun SME1910A	1200—1400	V9 / UA 2007	2008	8×8=64	0.065	503	342	1831	—	—	8	16	4096	none		
SPARC64 VII (Jupiter) [3]	Fujitsu	2400—2520	V9/JP S2(?)	2008	2×4=8	0.065	600	445	--	135	--	64	64	6144	none		



UltraSPARC RK (Rock)[4]	Sun SME1832 2300	V9 / UA__ ?__	2009	2×16=32	0.065 ?	396	2326	?	?	32	32 + 8 pred ecod ed bits	2048	?
<u>SPARC64</u> VIIIx (Venus)	? ?	V9	TBA	8 ядер	0.045 ?	?	?	?	?	?	32	5120	?



6.5.6 Операционные системы, работающие на SPARC

- [SunOS](#)
- [Solaris](#)
- [FreeBSD](#)
- [OpenBSD](#)
- [NetBSD](#)
- [NEXTSTEP](#)
- [RTEMS](#)
- [Linux](#)

В 1993 году компания [Intergraph](#) предприняла попытку портировать [Windows NT](#) на архитектуру SPARC, но позже проект был отменён.

6.5.7 Реализации с открытым кодом

- [LEON](#), 32-битная однопоточная реализация SPARC V8, разработанная исключительно для использования в космосе. Исходный код написан на [VHDL](#) и лицензирован под [GPL](#).
- [OpenSPARC T1](#), выпущенная в 2006, 64-битная, 32-поточная реализация, удовлетворяющая UltraSPARC Architecture 2005 и SPARC V9. Исходный код написан на [Verilog](#) и лицензирован под разными лицензиями.
- [OpenSPARC T2](#), выпущенная в 2008, 64-битная, 64-поточная реализация, удовлетворяющая UltraSPARC Architecture 2007 и SPARC V9. Исходный код написан на [Verilog](#) и лицензирован под разными лицензиями.

6.5.8 Суперкомпьютеры

По состоянию на июль 2009 только один суперкомпьютер на процессорах SPARC включён в список самых быстрых компьютеров [TOP500](#). Находящийся на 28 месте суперкомпьютер Fujitsu FX1 использует четырёхядерные микропроцессоры [SPARC64 VII](#) 2.52 GHz и имеет производительность 121282 GFLOPS. Он установлен в [Японском агентстве аэрокосмических исследований](#). В июне 2002 микропроцессоры SPARC использовались в 88 из 500 самых мощных компьютеров, однако с тех пор потеряли популярность, будучи заменены на чипы от [IBM](#), [Intel](#) и [AMD](#).

6.6 MIPS (SGI)

MIPS ([англ.](#) *Microprocessor without Interlocked Pipeline Stages* — «микропроцессор без блокировок в конвейере^[1]») — семейство [RISC-микропроцессоров](#), разработанное компанией [MIPS Technologies](#). Архитектура MIPS использовалась в старых [компьютерах](#) Silicon Graphics [SGI](#), а также во встроенных системах и в [игровых консолях](#) [Nintendo 64](#), [Sony PlayStation](#), [Sony PlayStation 2](#) и [Sony PSP](#).

MIPS (Million Instructions Per Second) - суперскалярный RISC-процессор. Его особенностями являются многоступенчатый конвейер, а также большой объем кэш-памяти первого уровня, что позволяет выполнять ряд приложений, эмулируя обращения к вторичной кэш-памяти или оперативной памяти. Оба кэша являются частично-ассоциативными, имеют виртуальную индексацию. Доступ в кэш второго уровня происходит по 64-разрядной системной шине совместно с доступом к оперативной



памяти. Для повышения пропускной способности при обращении в оперативную память доступ инициируется одновременно со сравнением тега кэша.

6.6.1 Немного об архитектуре MIPS

SGI добилась своей уникальности и высокой производительности главным образом за счет того, что реализовала уникальную графическую подсистему, которая использует аппаратную поддержку команд OpenGL и позволяет преобразовывать поступающий поток цифровых данных в графические и видеоформаты. Так как все-таки устроена графическая подсистема от SGI?

Как правило, она архитектурно состоит из трех плат: геометрической машины, растеризатора и генератора изображений.

Геометрическая машина выполняет обработку поступающих цифровых данных, производя геометрическую и пиксельную обработку. Применение аппаратной поддержки OpenGL позволяет без использования дополнительных вычислительных средств производить сложные преобразования, например, формирование объемных графических объектов, их проецирование на экран и расчет освещенности.

Сердцем графического конвейера является подсистема растеризации. Она выполняет, пожалуй, самую трудоемкую и важную задачу - преобразовывает поступающую от геометрической машины информацию в пиксельный формат. Однако за счет распараллеливания большинства функций и применения максимально возможной аппаратной обработки, подсистема растеризации без особых проблем выполняет такие трудоемкие преобразования, как наложение текстуры или сглаживание изображения.

После обработки в буфере кадра данные поступают на вход подсистемы генерации изображений.

Аналого-цифровые преобразователи генерируют аналоговый поток, который и позволяет получить изображение на мониторе. Здесь тоже не обошлось без хитростей: за счет программного управления временными характеристиками преобразования подсистема вывода изображения позволяет получать выходные данные для дисплеев с различным разрешением.

Ресэмплинг - другая не менее важная функция подсистемы генерации изображений. Она позволяет ускорить частоту смены кадров и преобразовывать выходные данные в S-video или композитный сигнал. А регулируемость размеров рабочей области экрана, для которой генерируется видеосигнал, позволяет без дополнительных трудностей задавать необходимую область для отображения на видео, а также нестандартные соотношения сторон экрана.

За счет того, что в видеосигнал может быть преобразована любая прямоугольная область экрана, не возникает проблем с видеоформатами, у которых соотношение размеров кадра отлично от отношения 3:4, использующегося в PAL. В дополнение реализована генерация синхронизирующих сигналов, что дает станциям Silicon Graphics хорошую совместимость с профессиональной видеоаппаратурой.

Первые процессоры MIPS были 32-битными, позже была разработана 64-битная архитектура.

Основная идея — сильно упростив внутреннее устройство процессора и используя очень длинный (по тем временам) конвейер, можно получить процессор, не умеющий выполнять сравнительно сложные инструкции, зато работающий на очень высоких тактовых частотах, позволяющих скомпенсировать потери производительности на эмуляцию этих сложных инструкций. Изначально предполагалось, что MIPS-процессоры не будут аппаратно поддерживать даже операции умножения и деления, благодаря чему можно было обойтись без сложных в реализации блокировок конвейера.

R10000 — последний процессор, созданный MIPS Technologies. Фирма, испугавшись конкуренции с Intel (собиравшейся разработать для этого рынка Itanium) свернула разработки, и лицензировала архитектуру MIPS другим фирмам.



В настоящий момент процессоры архитектуры MIPS широко используются во встраиваемых устройствах с критичной производительностью.

6.6.2 Семейство процессоров с архитектурой MIPS

- R1000 (не выпускался: лабораторный образец). У него отсутствовало умножение и деление (они выполнялись программно)
- R2000
- R3000
- R4000
- R5000 есть аналог в России
- RM7000
- RM9000
- R8000
- R10000 (последний созданный MIPS); его дальнейшие модификации с увеличенным [кэшем](#) и частотой:
 - R12000
 - R14000
 - R16000
- существуют различные модификации других фирм.

Далее 1892BM4Я, 1892BM5Я также 3 ядра

6.7 POWER-PC (Apple, IBM)

Максимальная частота процессора PowerPC G5 составляет до 2 ГГц. Apple не зря гордится своим новым детищем – по стандартным тестам (SPEC CPU 2000: SPECfp_base2000 и SPECint_base 2000 – на целочисленные вычисления и вычисления с плавающей точкой) G5 делает и самый последний Pentium 4, и Xeон (в одно- и двухпроцессорной конфигурации). Также G5 показал свое превосходство во многих популярных приложениях. Например, в Photoshop'е (со специальным плагином, оптимизированным под G5) оставил конкурентов далеко позади, обогнав их по производительности примерно в 2 раза. Проц был разработан благодаря долгому сотрудничеству Apple и IBM, его релиза около полутора лет ждали миллионы пользователей Мака, даже ходили слухи о возможном переходе Apple на Itanium. Но разработчики никого не обломали, выпустив действительно революционный продукт. В основу разработки был положен процессор прошлого поколения – 64-битный PowerPC G4. Всего на 118 мм² площади процессора, при помощи 0,13-мкм процесса, разработчики смогли уместить свыше 58 миллионов транзисторов.

PowerPC выпускается в трех вариантах: 1,6, 1,8 и два по 2,0 ГГц. Кэш-память второго уровня (L2 cache) составляет 512К со сверхбыстрой скоростью доступа к данным и инструкциям. Кэш первого уровня составляет 64К для инструкций (L1 I-cache) с прямым доступом на скорости до 64 Гб/сек и 32К для кэша данных (L1 D-cache). Кэш третьего уровня не поддерживается.

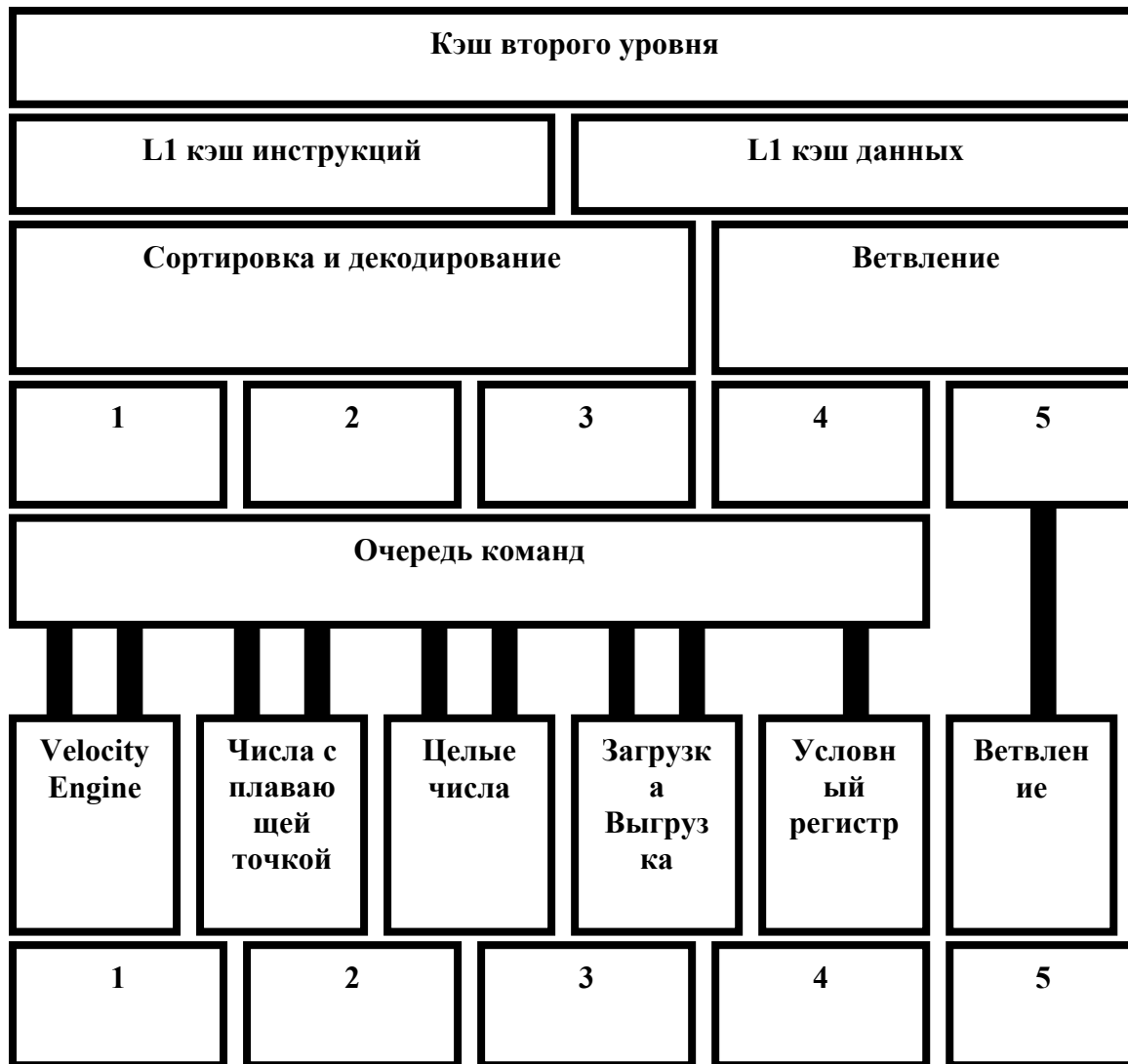
Архитектура PowerPC G5 довольно сложна (смотри рисунок). Отдельно стоит отметить, что на борту находятся два независимых сопроцессора для вычислений с плавающей точкой с двойной точностью, два модуля для работы с числами с фиксированной запятой, два блока загрузки/выгрузки и один векторный блок. Также имеется модуль Velocity Engine (оптимизированный, по сравнению с PowerPC G4) с суперскалярным ядром, которое может одновременно обрабатывать до 215 команд. Этот модуль использует двухконвейерную 128-битную технологию обработки данных (аналогичная технология используется в научных суперкомпьютерах IBM). Все эти разработки основаны на опыте предыдущих



поколений процессоров PowerPC. Итого G5 содержит свыше 12 отдельных функциональных модулей, которые могут обрабатывать параллельно множество различных команд.

Применение 64-битной технологии позволяет использовать до 8 Гб (PC3200/400 МГц) основной памяти (в отличие от 4 Гб для 32-bit), что крайне важно для работы с 3d, обработки видео, научных исследований и прочих приложений, требующих огромной вычислительной мощности. Такой объем оперативки во много раз увеличивает скорость работы с большими объемами данных, так как пропускная способность оперативки неизмеримо выше, чем при чтении данных с винта. Изначально PowerPC G5 проектировался для работы как с 64-, так и с 32-битным кодом прог. Благодаря этому остается полная совместимость со старыми приложениями, и нет необходимости в замене прог на 64-битный вариант (или эмуляции 32-bit режима с уменьшением производительности). Версии Mac OS X, начиная с 10.2, специально оптимизированы для работы с PowerPC G5, благодаря этому возможно использование всей 64-битной мощности и поддержка 32-битных программ без потери в производительности.

Архитектура процессора PowerPC G5





6.7.1 Xenon

(Произносится *Зенон*) (от названия инертного газа [ксенон](#)) — [центральный процессор игровой консоли Xbox 360](#).

Разработан [IBM](#) на основе архитектуры [PowerPC](#), внутреннее кодовое название в IBM — *Watnoose*, в [Microsoft](#) — *XCPU*. Содержит 3 независимых ядра, каждое из которых выполняет два потока команд, итого 6 потоков. [Кэш-память](#) I уровня в каждом ядре состоит из 32 [Кбайт](#) для инструкций и 32 [Кбайт](#) для данных.

На процессорах стоит маркировка «XCPU», они выпускаются компанией [Chartered Semiconductor Manufacturing](#) (англ. [Chartered Semiconductor Manufacturing](#)) В процессе выпуска технологический процесс был улучшен до 65 нм, что снизило себестоимость процессоров для [Microsoft](#).

Название *Xenon* заимствовано у всей приставки, так она называлась в подготовительной стадии.

- теоретическая производительность — 116 Гфлопс;
- [90-нм](#) технологический процесс, в 2007 г. усовершенствованный до 65-нм (в 2009-10 г. вероятен переход на 45-нм); 165 млн [транзисторов](#);
- три симметричных ядра, каждое выполняет по 2 потока на тактовой частоте 3,2 [ГГц](#);
- [SIMD](#): VMX128 с 2× (128×128 bit) регистрами в каждом ядре;
- 1 [Мбайт](#) кэш-памяти II уровня на половинной частоте в 1,6 ГГц, присоединено по 256-битной шине, может временно закираться графическим сопроцессором;
- скорость передачи данных в кэш II уровня — 51,2 ГБ/с (256 бит × 1600 МГц);
- скорость передачи по внешней шине (Front-Side Bus) — 21,6 ГБ/с;
- скорость обработки точек: 9,6 млрд/с;
- выполнение командного потока только в прямом порядке, без опережения;
- в постоянную память (ПЗУ) записана программа загрузки (Secure Bootloader);
- порядок записи байтов — от старшего к младшему (big endian).



Аппаратная платформа	Актуальность	Разработчик	Разрядность	Типы систем	Год начала производства	Снятия с производства	Примечания
IA-32	Да	Intel	32 bit	ПК, сервер, ноутбук, кластер	1985	?	Доминирующая архитектура в мире Windows
x86-64	Да	AMD	64 bit	ПК, сервер, ноутбук, кластер	2003	В производстве	Обратная совместимость с i386 . Широко производимая, но, из-за отсутствия 64 bit драйверов для некоторых устройств, чуть реже используемая архитектура.
SPARCv8	Нет	Sun Microsystems	32 bit	рабочая станция, сервер	1992	?	
SPARCv9	Да	Sun Microsystems	64 bit	рабочая станция, сервер	1994	В производстве	
IA-64	Да	Intel и Hewlett Packard	64 bit	сервер	2001	В производстве	Разрабатывалась на смену 32 битных CPU Intel, но не совместима с i386 . Потеряла важность с появлением x86-64
Alpha	Да	DEC	64 bit	рабочая станция, сервер	1992	2004	
ESA/390	Да	IBM	32 bit	мейнфрейм	1990	?	Обратно совместим с System/360 и ESA/370. Фирмами среднего размера применяется для хранения данных и виртуализации серверов (LPAR).
z/Architecture	Да	IBM	64 bit	мейнфрейм	2000	В производстве	Обратно совместим с ESA/390. Применяют до 60 LPAR . Возможно несколько машин этого класса объединить в кластер.
Xbox 360	Да	Microsoft в сотрудничестве с IBM, ATI и SiS	64 bit	игровая приставка	2005	В производстве	CPU Xenon с архитектурой PowerPC , 3 ядра с двумя аппаратными потоками на каждое, 3,2 ГГц. Заявленная суммарная производительность системы — 1 TFLOPS (производительность CPU — 115 Гфлопс). Частично совместим с Xbox .
PlayStation 3	Да	Sony в сотрудничестве с Toshiba и IBM	64 bit	игровая приставка	2006	В производстве	Частично совместима с PlayStation и PlayStation2. 2 Тфлопс. CPU Cell . GPU RSX от NVidia.
Famicom (Dendy в России)	Нет	Nintendo , Масэюки Уэмурой	8 bit	игровая приставка	1983	В производстве	Процессор 6502 1,79 МГц, ОЗУ 2 Кб, картридж ПЗУ 48 Кб, видеопамять 2 Кб, 256×240 пикселей, 48 цветов, пятиканальный звукогенератор .